



Escuela de
Ingeniería y Arquitectura
Universidad Zaragoza



Departamento de
Informática e Ingeniería
de Sistemas
Universidad Zaragoza



30237 Multiprocesadores

3^{er} curso, Grado en **Ingeniería Informática**
Especialidad en **Ingeniería de Computadores**
Curso 2025-26

Jesús Alastruey Benedé

jalastru@unizar.es

ATC – DIIS

Despacho D0.13

Rubén Gran Tejero

rgran@unizar.es

ATC – DIIS

Despacho D0.18

Docencia: 6 ECTS

■ Trabajo del estudiante, 150 horas:

- Clases magistrales: 30 horas
- Clases de problemas: 15 horas
- Clases de prácticas: 15 horas
- Estudio personal: 80 horas
- Evaluación: 10 horas

■ Horario de clase

- Teoría: lunes 12h-14h, martes 11h-12h
- Prácticas (L1.02): jueves 10h-12h, 6-7 sesiones

■ Tutorías: mejor bajo demanda

Evaluación

La evaluación consta de tres partes, 100 puntos:

1. Examen: 80-100 puntos. Mínimo 4 sobre 10
 - Teoría, problemas
 2. Cuestiones sobre las prácticas de laboratorio: 0-20 puntos
- Las notas obtenidas en cada parte en C1 se mantendrán para C2 del mismo curso, pero no para convocatorias de cursos distintos

Prácticas

- 6 sesiones de 2 horas en el **laboratorio L1.02**
 - **NO se entregan memorias**,
pero es recomendable realizarlas para disponer de ellas en el examen
 - Se realiza una **evaluación** de cada práctica (cuestiones más relevantes)
 - Un grupo: lunes 10h-12h
- Módulo I: **Vectorización x86**
 - 3 sesiones: 2F, 16F, 2M
 - Arquitectura x86-64 con SO CentOS
- Módulo II: Programación de computadores de memoria compartida con **OpenMP**
 - 3 sesiones: 16M, 13A, 27A
 - Sistemas:
 - ◆ Arquitectura x86-64 con SO CentOS
 - ◆ Arquitectura ARM (RISC) con SO CentOS (pilgor)

Trabajos dirigidos

- Carácter optativo
- Pueden subir nota
- Estamos abiertos a cualquier propuesta, individual o colectiva
- Ejemplos
 - Vectorización sobre otras arquitecturas:
 - ◆ ARM Neon (pilgor)
 - ◆ ARM SVE
 - ◆ RISC V
 - Caracterización de programas mediante contadores hardware
 - Medidas de energía y potencia en programas paralelos
 - Overclocking con refrigeración forzada y eficiencia energética

Programa

■ MÓDULO I (1/2)

- Procesadores Vectoriales Segmentados
 - ◆ Supercomputadores “clásicos”
- Extensiones multimedia, Intel AVX

■ MÓDULO II (1/2)

- Multiprocesadores Memoria Compartida
 - ◆ Chips multiprocesador (*multicore, CMPs*)

Destrezas, habilidades, competencias

- Claves del rendimiento de un computador paralelo
 - ↑ velocidad
 - ↓ memoria
 - ↓ energía
- Compra o venta de servidores de cálculo
 - **Vigilancia tecnológica**: saber evaluar una compra y presentar una oferta desde el punto de vista técnico
- Introducción a la investigación experimental
 - **Metodología experimental**: diseñar experimentos, medir tiempos y eventos (máquina real o simulador), analizar, diseñar mecanismos hw-sw para aumentar el rendimiento

Bibliografía

- [CSG98] D.E. Culler, J.P. Singh y A. Gupta. [Parallel Computer Architecture: a Hardware/Software approach](#). Morgan Kaufmann, 1998.
- [DaTo04] W. Dally and B. Towles. [Principles and Practices of Interconnection Networks](#). Morgan Kaufmann, 2004.
- [Baer09] Jean-Loup Baer. [Microprocessor architecture: from simple pipelines to chip multiprocessors](#). Cambridge University Press, 2009.
- [SHW11] D.J. Sorin, M.D. Hill, D.A. Wood. [A primer on memory consistency and cache coherence. Synthesis Lectures on Computer Architecture](#). Morgan & Claypool Publishers, 2011.
- [DAS12] M. Dubois, M. Annavaram, P. Stenström. [Parallel Computer Organization and Design](#). Cambridge University Press, 2012.
- [HPK25] J. Hennessy, D. Patterson, C. Kozyrakis. [Computer Architecture: a quantitative approach](#). 7th edition, Morgan Kaufmann, 2025.
 - Chapter 4. Data-Level Parallelism in Vector, SIMD, and GPU Architectures
 - Chapter 5. Thread-Level Parallelism
 - Online appendices: <https://www.elsevier.com/books-and-journals/book-companion/9780443154065>
 - ◆ Appendix F: Interconnection Networks
 - ◆ Appendix G: Vector Processors in More Depth
 - ◆ Appendix I: Large-Scale Multiprocessors and Scientific Applications

Lecturas

■ Módulo I

- [HPK25]: Chapter 4, Appendix G, I

■ Módulo II

- [CSG98] caps. 1, 5, 6 y 8
- [DaTo04] cap. 1, 2, 3, 8, 12, 22
- [HPK25] cap. 5, Appendix I
- [DAS12] todo
- [SHW11] todo
- [Baer09] pp. 241-245 (IBM Power 4-5-6) y cap. 7

Otra información de interés

■ Sitio web de la asignatura

- Moodle
- <http://webdiis.unizar.es/~chus/docencia/mp/>
- <https://github.com/universidad-zaragoza/Multiprocesadores>

■ Material disponible

- Transparencias de clase
- Colecciones de problemas
- Enunciados de prácticas
- Lecturas

¡Un poco de motivación!



AMD EPYC™ 9654

Regional Availability: Global, China, NA, EMEA, APJ, LATAM	Platform: Server	Product Family: AMD EPYC™
Product Line: AMD EPYC™ 9004 Series	# of CPU Cores: 96	# of Threads: 192
Max. Boost Clock  : Up to 3.7GHz	All Core Boost Speed  : 3.55GHz	Base Clock: 2.4GHz
L3 Cache: 384MB	1kU Pricing: 11,805 USD	Default TDP: 360W
AMD Configurable TDP (cTDP): 320-400W	CPU Socket: SP5	Socket Count: 1P / 2P
Launch Date: 11/10/2022		
PCI Express® Version: PCIe 5.0 x128	System Memory Type: DDR5	Memory Channels: 12
System Memory Specification: Up to 4800MT/s	Per Socket Mem BW: 460.8 GB/s	

<https://www.amd.com/en/products/cpu/amd-epyc-9654>

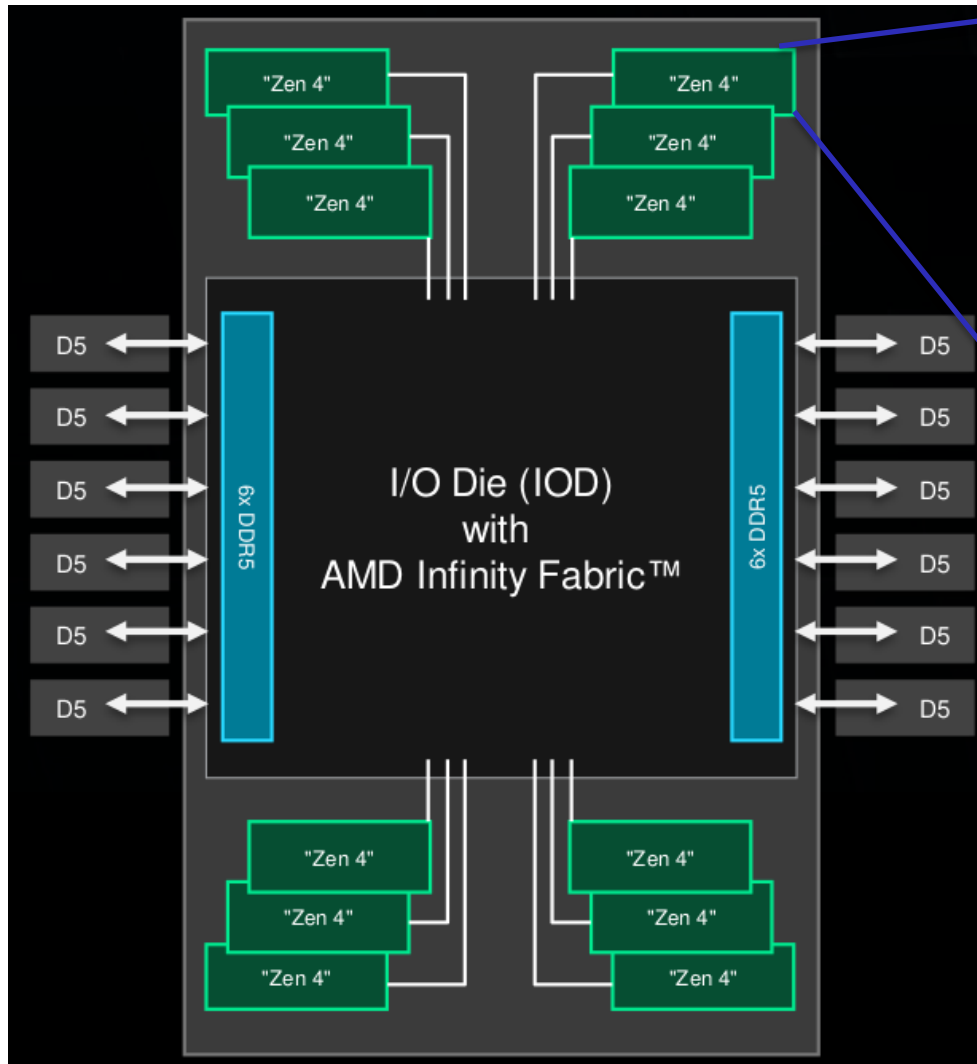
Procesadores AMD EPYC serie 9004

MODELO	N.º DE NÚCLEOS DE CPU	N.º DE SUBPROCESOS	MÁX. RELOJ TURBO	VELOCIDAD DE IMPULSO DE TODOS LOS NÚCLEOS	RELOJ BASE	CACHE L3	TDP PREDETERMINADO
AMD EPYC™ 9654P	96	192	Hasta 3,7 GHz	3,55 GHz	2,4 GHz	384 MB	360 W
AMD EPYC™ 9654	96	192	Hasta 3,7 GHz	3,55 GHz	2,4 GHz	384 MB	360 W
AMD EPYC™ 9634	84	168	Hasta 3,7 GHz	3,1 GHz	2,25 GHz	384 MB	290 W
AMD EPYC™ 9554P	64	128	Hasta 3,75 GHz	3,75 GHz	3,1 GHz	256 MB	360 W
AMD EPYC™ 9554	64	128	Hasta 3,75 GHz	3,75 GHz	3,1 GHz	256 MB	360 W
AMD EPYC™ 9534	64	128	Hasta 3,7 GHz	3,55 GHz	2,45 GHz	256 MB	280 W

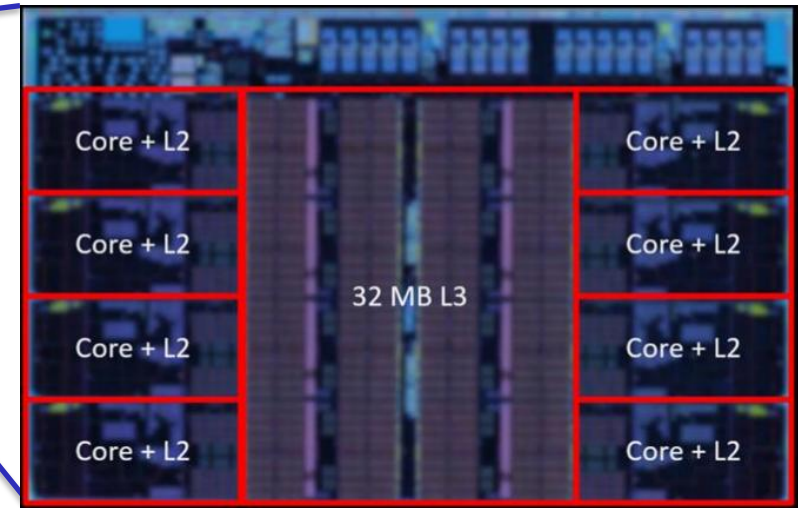
<https://www.amd.com/content/dam/amd/en/documents/products/epyc/epyc-9004-series-processors-data-sheet.pdf>

AMD 4th generation EPYC Genoa

Multi-chip module (MCM)



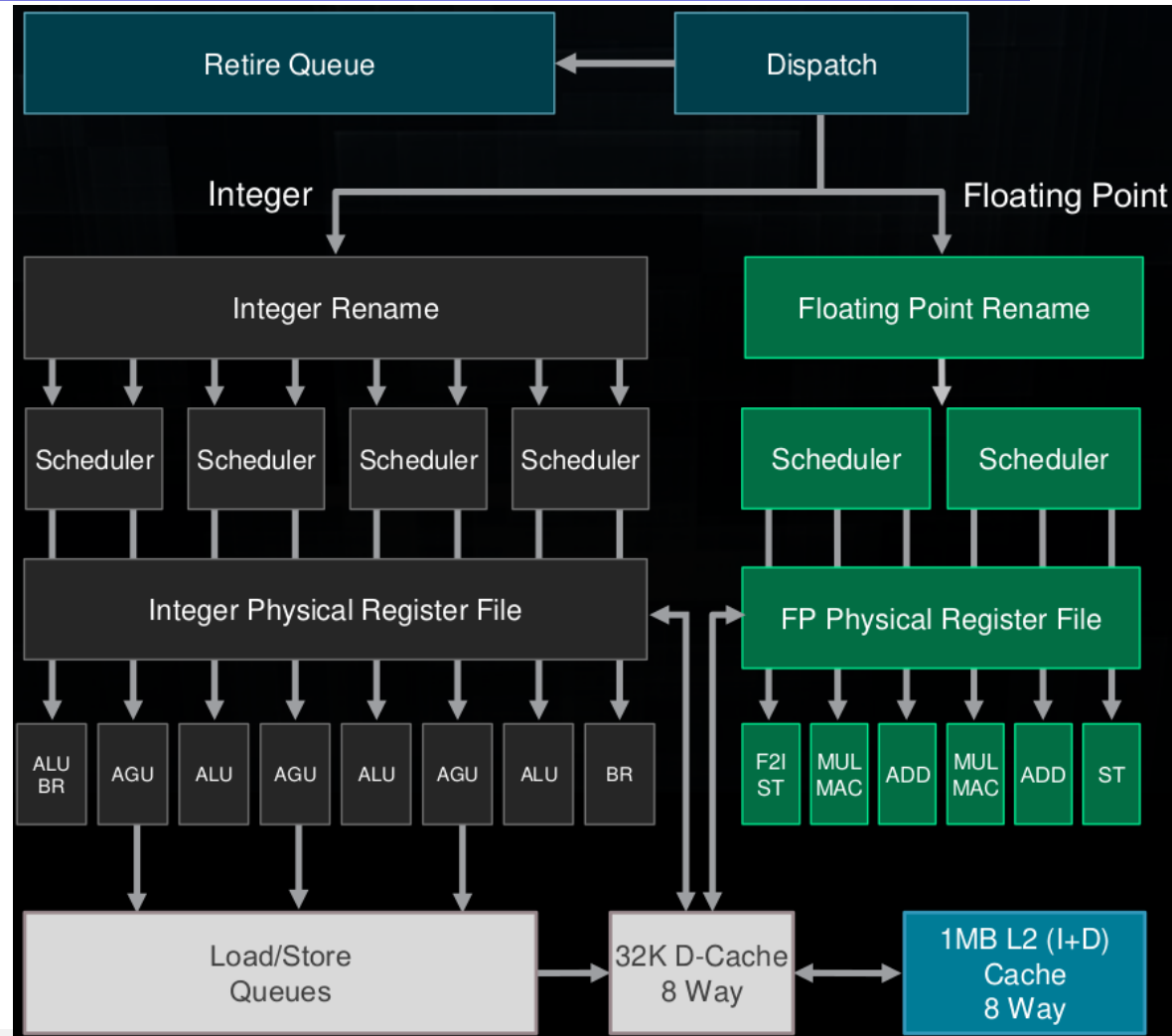
CCD (Core Chipset Die)



Package: 75.4 x 72 mm

Zen 4 execution engine

- x86-64 architecture
- 6.75K op cache
- Issue: 8INT + 6FP uops/cycle
- Integer RF: 224 x 64b
- FP/vector RF: 192 x 512b
- 320-entry ROB
- L1: 2 load + 1 store
- 2 threads per core



DP, sin FMA → 4 UFs x 4 ops/UF x 96 cores x 2.4 GHz = 3.7 TFLOPS
DP, con FMA → 5.5 TFLOPS (2 FMAs + 2 FADDs)
SP, sin FMA → 4 UFs x 8 ops/UF x 96 cores x 2.4 GHz = 7.4 TFLOPS
SP, con FMA → 11.1 TFLOPS

Servidores Altas Prestaciones

- Supermicro

- <https://www.thinkmate.com/system/hdx-qn8-52e4>



CONFIGURED PRICE:
€25,287.42
EUR Ex VAT

Heterogeneous Multicore Chips



Beginning Fall 2021

Alder Lake

Reinventing Multi Core Architecture

Single, Scalable SoC Architecture

All Client Segments – 9W to 125W – built on Intel 7 process

All-New Core Design

Performance Hybrid with Intel Thread Director

Industry-Leading Memory & I/O

DDR5, PCIe Gen5, Thunderbolt™ 4, Wi-Fi 6E

Some of them for efficiency

Intel's **New** Efficient x86 Core Microarchitecture

Designed for throughput, enabling scalable multi-threaded performance for modern multi-tasking

Optimized for power and density efficient throughput with:

- Deep Front-End** with on-demand length decode
- Wide Back-End** with many execution ports
- Optimized Design** for latest transistor technologies

Architecture Day 2021

intel.

35

Some of them for high performance



The diagram illustrates the internal architecture of an Intel x86 Core. It is organized into several horizontal layers. At the top, there is an 'I-TLB + I-Cache' and a 'Predict' block. Below these are 'MSROM', 'Decode' (with sub-units 1-6), and 'μop Cache' (with sub-units 1-6). A 'μop Queue' follows. The next layer is 'Allocate / Rename / Move Elimination / Zero Idiom' (with sub-units 1-4). Below that is a 'Scheduler'. The core is divided into two main sections: 'INT' (Integer) and 'VEC' (Vector). The 'INT' section includes ports (Port 00, 01, 05, 06, 10, 04, 09, 02, 08, 03, 07, 11), ALU, LEA, Shift, MUL, MULHi, JMP, IDIV, and a 'Store Data' block. The 'VEC' section includes FMA, FMA512, ALU, Shift, AMX, fpDIV, Shuffle, and FADD. A '48KB Data Cache' and a '1.25MB/2MB ML Cache' are also shown.

New

Performance

x86 Core

A Step Function in CPU Architecture
Performance For the Next Decade of Compute

A significant IPC boost at high power efficiency

Wider **Deeper** **Smarter**

- Better supports large data set and large code footprint applications
- Enhanced power management improves frequency and power
- Machine Learning Technology:** Intel® AMX – Tile Multiplication

All in a tailored scalable architecture to serve the full range of Laptops to Desktops to Data Centers

Architecture Day 2021

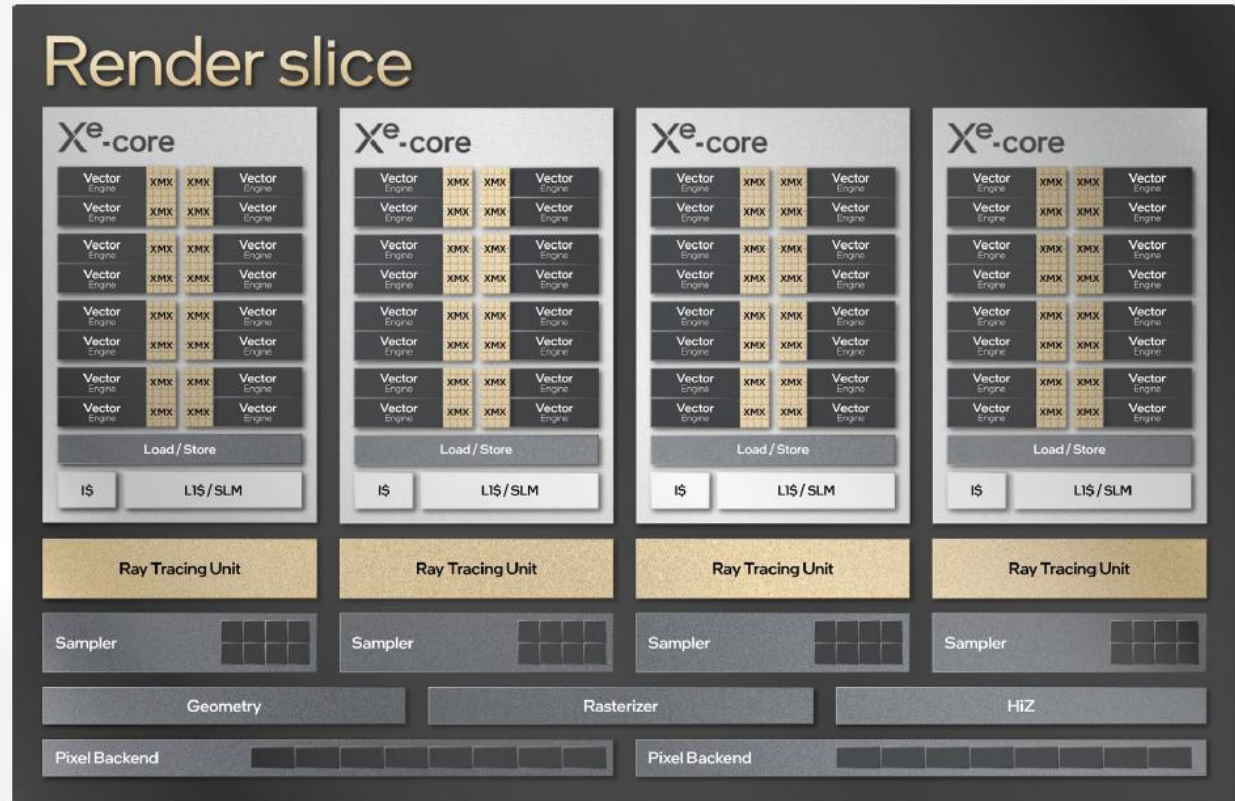
intel.

50

Some of them for specific purpose



Render Slice



General overview. Also P and U - series

12th Gen Intel® Core™ H-series Processors

	Processor Number	Processor Cores	Processor Threads	Performance Cores	Efficient Cores	L3 Cache	Max Turbo Frequency P-cores	Max Turbo Frequency E-cores	Base Frequency P-cores	Base Frequency E-cores	Processor Graphics	Max Graphics Frequency	Processor Base Power	Max Turbo Power	Intel vPro®
Intel CORE i9	i9-12900HK	14C	20T	6P	8E	24MB	5.0 GHz	3.8 GHz	2.5 GHz	1.8 GHz	96 EU	1.45 GHz	45W	115W	Essentials
	i9-12900H	14C	20T	6P	8E	24MB	5.0 GHz	3.8 GHz	2.5 GHz	1.8 GHz	96 EU	1.45 GHz	45W	115W	Enterprise
Intel CORE i7	i7-12800H	14C	20T	6P	8E	24MB	4.8 GHz	3.7 GHz	2.4 GHz	1.8 GHz	96 EU	1.4 GHz	45W	115W	Enterprise
	i7-12700H	14C	20T	6P	8E	24MB	4.7 GHz	3.5 GHz	2.3 GHz	1.7 GHz	96 EU	1.4 GHz	45W	115W	Essentials
	i7-12650H	10C	16T	6P	4E	24MB	4.7 GHz	3.5 GHz	2.3 GHz	1.7 GHz	64 EU	1.4 GHz	45W	115W	-
Intel CORE i5	i5-12600H	12C	16T	4P	8E	18MB	4.5 GHz	3.3 GHz	2.7 GHz	2.0 GHz	80 EU	1.4 GHz	45W	95W	Enterprise
	i5-12500H	12C	16T	4P	8E	18MB	4.5 GHz	3.3 GHz	2.5 GHz	1.8 GHz	80 EU	1.3 GHz	45W	95W	Essentials
	i5-12450H	8C	12T	4P	4E	12MB	4.4 GHz	3.3 GHz	2.0 GHz	1.5 GHz	48 EU	1.2 GHz	45W	95W	-

Intel® processor numbers are not a measure of performance. Processor numbers differentiate features within each processor family, not across different processor families. The frequency of cores and core types varies by workload, power consumption and other factors. Visit <https://www.intel.com/content/www/us/en/architecture-and-technology/turbo-boost/turbo-boost-technology.html> for more information. i9-12900HK supports CPU Over Clocking. Memory Ratio Override is not supported. Intel Thermal Velocity Boost not supported on 12th Gen mobile processors. Max Turbo Frequency for P-cores may include Intel Turbo Boost Max 3.0. All SKUs support up to DDR5 (4800 MT/s)/DDR4 (3200 MT/s)/LPDDR5 (5200 MT/s)/LPDDR4 (4267 MT/s) memory. See ark.intel.com for more specification details.

intel

Embargoed until January 4, 2022, at 10:10 AM PT

Procesadores altas prestaciones

■ x86

- AMD EPYC Serie 9005
 - ◆ 192 núcleos (9965), Zen5 (Turín)
- Intel Xeon Scalable 6
 - ◆ 144 núcleos (6780E), "Granite Rapids" y "Sierra Forest"

■ Power: IBM Power10

- 30 núcleos, SMT8

■ ARM Neoverse V2

- NVIDIA Grace CPU Superchip: 2 x 72 núcleos
- AWS Graviton4: 96 núcleos

■ RISC-V

- Ventana Veyron V2: 192 núcleos

Ejercicio 1: Simulando y cocinando con el EPYC 9654

- Vitro LG KA60530A: **2.3kW** en $3.14 \times 110^2 = 38013.36 \text{ mm}^2$
- AMD EPYC 9654: W en mm^2

- Caben unos
- Disiparía
- Max FLOP/ciclo ?
 - ◆ Sin multiply/add
 - ◆ Con multiply/add
- Tiempo simulaciones aerodinámicas **sin** FMA:
 - ◆ Ala estacionaria 10^{18}
 - ◆ Ala turbulenta 10^{20}
 - ◆ Avión turbulento 10^{23}
- Coste simulaciones? (0.17 €/KWh)

