Ministerio de Economía y Competitividad
Secretaría de Estado de Investigación,
Desarrollo e Innovación

Currículum

Nombre: Jesús Alastruey Benedé

Fecha: Julio-2023

Resumen

Jesús Alastruey Benedé es ingeniero de Telecomunicación, especialidad Comunicaciones, y doctor por la Universidad de Zaragoza (UZ, 1997 y 2009). Desde 1999 es profesor en el área de Arquitectura y Tecnología de Computadores en el Departamento de Informática e Ingeniería de Sistemas de la Universidad de Zaragoza, primero como profesor asociado a tiempo completo, después como profesor colaborador y desde 2019 en la figura de profesor contratado doctor.
El profesor Alastruey es miembro del grupo de investigación en Arquitectura de Computadores de la Universidad de Zaragoza (gaZ), enmarcado en el Instituto de Investigación en Ingeniería de Aragón (I3A). El gaZ participa en la red europea de excelencia HiPEAC y está reconocido como grupo de investigación de referencia por el Gobierno de Aragón.
El profesor Alastruey ha dirigido dos tesis doctorales y actualmente dirige dos. Ha sido miembro del equipo investigador en 7 proyectos consecutivos del Plan Nacional. Algunos de sus trabajos se han publicado en revistas de elevado impacto o en congresos de prestigio en el Área de Arquitectura de Computadores y han tenido impacto en la industria, prueba de ello es que son citados por 18 patentes de 4 importantes empresas (IBM, QUALCOMM, ARM y AMD).
Sus intereses incluyen diseño del procesador, jerarquía de memoria cache orientada al rendimiento, programación de alto rendimiento para arquitecturas paralelas (aplicaciones genómicas, dinámica molecular) y técnicas de ahorro energético para chips multiprocesador.

El profesor Alastruey ha impartido 23 asignaturas diferentes del área de Arquitectura y Tecnología de Computadores en estudios de Grado, Ingeniería, Postgrado y Máster. Ha dirigido o sido ponente de 5 TFMs, 29 PFCs y 4 TFGs.

En cuanto a trabajo con empresas, lleva varios años colaborando con TAFYESA para el desarrollo de sistemas de gestión remota de infraestructuras. Como resultado de este proyecto se han desarrollado productos de automatización, comunicación y telegestión. Estos sistemas, desplegados en gran parte de las instalaciones realizadas por TAFYESA para distintas empresas e instituciones, gestionan infraestructuras repartidas por todo el mundo. A modo de ejemplo, se citan las siguientes:
- Abastecimiento de agua del los ayuntamientos de Huesca y Albarracín
- Alumbrado de los ayuntamientos de Huesca y Zaragoza
- Medición energética en edificio del Ministerio de Energía, Santiago de Chile
- Alumbrado de la municipalidad de Viña del Mar (Chile)

Asimismo, en este marco de trabajo, ha realizado asesorías para la solicitud de ayudas en convocatorias competitivas. El resultado más relevante es la cuarta mejor valoración (180 puntos sobre un máximo de 200) entre un total de 286 solicitudes evaluadas en la convocatoria del 2017 correspondiente al programa de Ayudas a la Industria y la PYME en Aragón (PAIP).

El perfil oficial del profesor Alastruey puede consultarse en:
https://janovas.unizar.es/sideral/CV/jesus-alastruey-benede
Y la dirección de su página web es:
http://webdiis.unizar.es/u/chus/

Indicadores generales de calidad de la producción científica

- Número de sexenios de investigación: 2 ACPUA + 2 CNEAI
- Número de tesis doctorales dirigidas desde 2015: 2
- Citas totales:145 (Google Scholar)
- Publicaciones en primer cuartil (Q1): 6 + 1 en congreso de calidad equivalente
    - IEEE Transactions on Computers, 3 IEEE/ACM Trans. on Computational Biology and Bioinformatics, Computer Physics Communications, Biology, ACM/IEEE International Symposium on Microarchitecture (MICRO)
- Indice h: 7(Google Scholar)
- Cuatro artículos son citados por 18 patentes:de importantes empresas (IBM, Qualcomm, ARM y AMD)

Apellidos: **ALASTRUEY BENEDÉ**	Nombre: **JESÚS**	Sexo: Hombre
D.N.I.: 18.036.419	Fecha de nacimiento: 10-03-1973	ORCID iD: 0000-0003-4164-5078

Situación profesional actual

Entidad:	Universidad de Zaragoza
Escuela:	Escuela de Ingeniería y Arquitectura (EINA)
Departamento:	Informática e Ingeniería de Sistemas (DIIS)
Dirección postal:	María de Luna 1, 50018 Zaragoza
Teléfono / Fax:	976 762339 / 976 761914
Correo electrónico:	jesus.alastruey@unizar.es
Especialización (códigos UNESCO):	120326 - Simulación; 330406 - Arquitectura de ordenadores
Categoría profesional:	Profesor Contratado Doctor — Fecha de inicio: 20-11-2019
Situación administrativa:	Contratado
Dedicación:	Tiempo completo

Líneas de investigación

Diseño del procesador. Diseño de jerarquía de memoria para uniprocesador y multiprocesador. Gestión del banco de registros. Programación orientada a prestaciones o a consumo energético. Memoria tolerante a fallos.

Formación académica

Titulación	Centro	Fecha
Ingeniero de Telecomunicación	Centro Politécnico Superior	Mayo 1997
Especialidad Comunicaciones	Universidad de Zaragoza	

Doctorado
Doctor por la Universidad de Zaragoza, 21 de Diciembre de 2009. Calificación: Sobresaliente Cum Laude.
Directores de tesis: Teresa Monreal, Víctor Viñals, Mateo Valero.

Diploma de Estudios Avanzados (DEA), Arquitectura y Tecnología de Computadores (ATC).
Departamento de Informática e Ingeniería de Sistemas, Universidad de Zaragoza, Septiembre 2001.

Período de Docencia, programa de doctorado Ingeniería de Sistemas e Informática.
Departamento de Informática e Ingeniería de Sistemas, Universidad de Zaragoza, Julio 2001.

Actividades anteriores de carácter científico profesional

Puesto	Institución	Fechas
Profesor Colaborador (ATC)	CPS - UZ	20/03/2007 - 19/11/2019
Profesor Asociado a tiempo completo (ATC)	CPS - UZ	08/10/1999 - 19/03/2007
Becario	Servicio Multimedia UZ	08/1998 - 10/1999
Investigador	BICC Cables de Comunicaciones	06/1997 - 08/1997
Colaborador	Ayuntamiento de Huesca	10/1996 - 05/1997

BICC	British International Cable Company		
CPS	Centro Politécnico Superior de Ingenieros	UZ	Universidad de Zaragoza

Idiomas (R = regular, B = bien, C = correctamente)

Idioma	Habla	Lee	Escribe
Inglés	B	C	B
Francés	R	R	R

Participación en Proyectos de I+D Financiados en Convocatorias Competitivas
Ámbito: Unión Europea

Título del proyecto: HiPEAC4
High Performance and Embedded Architecture and Compilation. Ref. 687698
Permalink: http://cordis.europa.eu/project/rcn/199170_en.html
Tipo de participación: member
Financiación: European Horizon 2020.
Funding scheme: CSA - Coordination & Support Action
Topic: ICT-04-2015 - Customised and low power computing.
Cuantía subvención: 3.00 M€ (EU contribution)
Período: 1 Enero 2016 – 28 Febrero 2018 (2 años)
Coordinador: Univ. Ghent - Bélgica
Instituciones participantes: Barcelona Supercomputing Center, Spain. Chalmers Tekniska Hoegskola AB, Sweden.
Foundation for Research and Technology Hellas, Greece.
Institut National de Recherche en Informatique et en Automatique, France.
The University of Edinburgh, United Kingdom. Universita di Pisa, Italy.
Rheinisch-Westfaelische Technische Hochschule Aachen, Germany.
Commissariat a L'Energie Atomique et aux Energies Alternatives, France.
Empresas participantes: ARM Limited, United Kingdom. JEMM Research SARL, France. THALES SA, France.

Título del proyecto: HiPEAC3 NoE
European Network of Excellence on High Performance and Embedded Architecture
and Compilation. Ref. 287759
Permalink: http://cordis.europa.eu/fetch?CALLER=PROJ_ICT&ACTION=D&CAT=PROJ&RCN=100750
Tipo de participación: member
Entidad financiadora: European FP7-ICT programme
7th. Framework Programme for Research and Technological Development
Area: Computing Systems (ICT-2011.3.4)
Cuantía subvención: 3.81 M€
Período: 1 Enero 2012 – 31 Diciembre 2015 (4 años)
NoE coordinator: Koen De Bosschere - Univ. Ghent - Bélgica
Instituciones participantes: Ghent University, Belgium. Barcelona Supercomputing Center, Spain.
Chalmers University of Technology, Sweden. The University of Edinburgh, United Kingdom.
FORTH, Greece. INRIA, France. RWTH Aachen University, Germany
ARM Ltd., United Kingdom; Commissariat à l'énergie atomique et aux énergies alternatives, France;
Empresas participantes: Ericcson AB, Sweden. IBM Israel Science and Technology Ltd., Israel.
Recore Systems, Netherlands. ST Microelectronics SRL, Italy. THALES SA, France.

Título del Proyecto: PIREGRID
Entidad Financiadora: INTERREG IVA FEDER POCTEFA 35/08
Período: 1 de Junio de 2009 - 31 de mayo de 2012
Investigadora Principal (subproyecto I3A): María Villarroya Gaudó
Nº investigadores (subproyecto I3A): 19
Cuantía subvención (subproyecto I3A): 153.510,00 €
Entidades Participantes: Instituto Universitario de Investigación de Biocomputación y Física de Sistemas
Complejos (BIFI), Universidad de Zaragoza (UZ)
Instituto Universitario de Investigación en Ingeniería de Aragón (I3A), UZ
Université de Pau et des Pays d'Addour (UPPA)
Université Paul Sabatier Toulous II-IRIT
Chambre de Commerce et d'industrie Pau Béarn-CCI.

Título del proyecto: HiPEAC2 NoE
European Network of Excellence on High Performance and Embedded Architecture
and Compilation
FP7/ICT 217068

Tipo de participación:	*PhD. student*
Entidad financiadora:	European FP7-ICT programme, 2007-2013 7th. Framework Programme for Research and Technological Development Priority: ICT, Information & Commmunication Technologies Research objective: Computing Systems
Cuantía subvención:	4.8 M€
Período	Febrero 2008- Enero 2012 (4 años)
NoE coordinator:	Koen de Bosschere (Universiteit Gent, Belgique)
Members en España:	BSC, Carlos III, UAB, UCM, A Coruña, Cantabria, Castilla La Mancha, Las Palmas de Gran canaria, Málaga, Murcia, Santiago de Compostela, UPV, Valladolid, UPC y UZ
Partners:	Rheinisch-Westfaelische Technische Hochschule Aachen (Deutschland). Technische Universiteit Delft (Nederland). The University Of Edinburgh (United Kingdom). Institut National De Recherche En Informatique Et En Automatique (France). Barcelona Supercomputing Center - Centro Nacional De Supercomputacion (España) Chalmers Tekniska Hoegskola Aktiebolag (Sverige). IBM Israel - Science And Technology Ltd (Israel). Foundation For Research And Technology – Hellas (Hellas). Nxp Semiconductors Netherlands B.V. (Nederland). Arm Limited (United Kingdom). Stmicroelectronics S.R.L. (Italia).

Título del proyecto:	HiPEAC NoE High-Performance Embedded Architectures and Compilers Network of Excelence IST-004408
Tipo de participación:	*Partner*
Entidad financiadora:	6th Framework Programme (FP6, 2003-2006) Priority: Information Society Technologies (IST)
Cuantía subvención:	3.9 M€
Período	1 Sept. 2004-1 Sept. 2008 (4 años)
NoE coordinator:	U. Politécnica de Catalunya
Members en España:	UAB, UC, UCM, UMA, UPC, UPV y UZ
Partners extranjeros:	Technische Universiteit Delft, NETHERLANDS.
Universidades	Institut National de Recherche en Informatique et en Automatique, FRANCE. Universiteit Gent, BELGIUM. Foundation for Research and Technology Hellas, GREECE. Chalmers Tekniska Hoegskola Aktiebolag ,SWEDEN. Universitaet Augsburg, GERMANY. Universitá di Pisa, ITALY. Centre National de la Recherche Scientifique, FRANCE. The University of Edinburgh, UNITED KINGDOM.
Empresas	STmicroelectronics N.V., SWITZERLAND. IBM Israel, ISRAEL. ARM Limited, UNITED KINGDOM. Infineon Technologies AG, GERMANY. Kayser Italia S.R.L., ITALY. Virtutech AB, SWEDEN.

Participación en Proyectos de I+D Financiados en Convocatorias Competitivas
Ámbito: Internacional

Título proyecto:	Investigación, análisis y simulación arquitectónica del sistema abierto y público RISC-V
Convocatoria:	Proyectos de Investigación y Desarrollo de la Secretaría de Ciencia Tecnología y Postgrado (SCyT) de la Universidad Tecnológica Nacional (UTN), Argentina
Código:	CCUTNME0007800
Período:	Enero 2020 - Dic. 2021
Entidad financiadora:	Universidad Tecnológica Nacional - SCyT $ 172.000 Facultad Regional Mendoza $ 1.042.000 Total $ 1.214.000
Investigador principal:	Daniel Marcelo Argüello y Alejandro Dantiacq (UTN - Facultad Regional Mendoza)
Número investigadores:	9

Participación en Proyectos de I+D Financiados en Convocatorias Competitivas
Ámbito: España

Título proyecto: Red-RISCV: Investigación, formación e innovación en sistemas RISC-V y open source HW/SW
Referencia: Red de investigación RED2022-134618-T
Financiación: 16 K€
Período: Junio 2023-Mayo 2025
Entidad financiadora: Ministerio de ciencia e innovación. Programa Estatal para impulsar la investigación científico-técnica y su transferencia, del Plan Estatal de Investigación Científica, Técnica y de Innovación 2021-2023.
Entidad solicitante: Universidad de Cantabria
Coordinador red: 1) José Luis Bosque Orero, Universidad de Cantabria
Resto participantes: 2) Mateo Valero Cortés,CNS-BSC. 3) Alberto Ros Bardisa,U. de Murcia.4) José Flich Cardo,UPV. 5) Manuel López de Miguel,U. de Barcelona.6) Katzalin Olcoz Herrero,U. Complutense de Madrid. 7) Roberto Rodríguez Osorio,U. de A Coruña.8) Antonio Espinosa Morales,UAB. 9) Víctor Viñals Yúfera,U. de Zaragoza.10) Javier Plaza Miguel,U. de Extremadura. 11) Bartomeu Alorda Ladaria,U. de les Illes Balears.12) Oriol Farràs Ventura,U. Rovira i Virgili. 13) Lluís Terés Terés,CSIC, IMB-CNM.14) José A. Otero Marnotes,U. Politécnica de Madrid. 15) Ramón Canal Corretger,U. Politècnica de Catalunya.

Título proyecto coordinado: Arquitectura y programación de computadores escalables de alto rendimiento y bajo consumo (APCE-2)
Investigadores Principales: Proyecto Coordinado: Pablo Ibáñez
Subproyecto 01: Jerarquía de memoria, gestión de tareas y optimización de aplicaciones:
IP1: Pablo Ibáñez, IP2: Javier Resano (Univ. de Zaragoza)
Subproyecto 02: Redes de interconexión, aceleradores hardware y optimización de aplicaciones:
IP1: José Luis Bosque, IP2: Ramón Beivide (Univ. de Cantabria)
Título del subproyecto: Jerarquía de memoria, gestión de tareas, y optimización de aplicaciones
Ref. del subproyecto: PID2019-105660RB-C21
Entidad financiadora: Ministerio de Ciencia, Innovación y Universidades. Agencia Estatal de Investigación (AEI). Convocatoria 2019 del Programa Estatal de I+D+I orientada a los retos de la sociedad.
Cuantía subvención: gastos de ejecución:
costes directos: 163.400,00 €
costes indirectos (21%): 34.314,00 €
total: 197.714,00 €
Duración,desde: 1/06/2020 hasta: 29/02/2024 (3 años, prorrogado 9meses)
Centro de Ejecución: Instituto de Investigación en Ingeniería de Aragón (I3A), Univ. de Zaragoza.
Número investigadores: 13 doctores en el equipo de investigación. Equipo de trabajo: 3 doctores y 6 no doctores.

Título proyecto: Red-RISCV: Investigación, formación y prospectiva en sistemas RISC-V
Referencia: Red temática RED2018-102384-T
Financiación: 25 K€ (calificación A)
Período: Dic. 2019-Dic. 2021 (Resolución provisional del 26/09/2019), prorrogrado hasta dic. 2022.
Entidad financiadora: Ministerio de ciencia, innovación y universidades. Plan Estatal de Investigación Científica y Técnica y de Innovación 2017-2020. Redes de Investigación 2018.
Acciones de dinamización «Redes de Investigación».
Investigador principal: 1) Lluís Terés Terés, CSIC. Instituto de Microelectrónica de Barcelona-Centro Nacional de Microelectrónica (IMB-CNM)
Resto participantes: 2) Mateo Valero Cortés, CNS-BSC. 3) Antonio Espinosa, UAB. 4) Manuel López de Miguel, UB. 5) Enrique Vallejo Gutiérrez, UC. 6) Katzalin Olcoz Herrero, UCM. 7) Ramón Doallo Biempica, UDC. 8) Javier Plaza Miguel, UEX. 9) Bartomeu Alorda Ladaria, UIB. 10) Alberto Ros Bardisa, UM. 11) Francesc Moll Echeto, UPC. 12) José Flich Cardo, UPV. 13) Oriol Farràs Ventura, URV. 14) Víctor Viñals Yúfera, UZ, en representación del gaZ.

Título proyecto coordinado: Arquitectura y programación de computadores escalables de alto rendimiento y bajo consumo (APCE)

Investigadores Principales: Proyecto Coordinado: Pablo Ibáñez
Subproyecto 01: Jerarquía de memoria, gestión de tareas, y optimización de aplicaciones:
IP1: Pablo Ibáñez, IP2: Javier Resano (Univ. de Zaragoza)
Subproyecto 02: Redes de Interconexión y Sistemas Heterogéneos:
IP1: José Luis Bosque, IP2: Ramón Beivide (Univ. de Cantabria)
Título del subproyecto: Jerarquía de memoria, gestión de tareas, y optimización de aplicaciones
Ref. del subproyecto: TIN2016-76635-C2-1-R
Entidad financiadora: Ministerio de Economía, Industria y Competitividad (MINECO)
Agencia Estatal de Investigación (AEI) y Fondo Europeo de Desarrollo Regional (FEDER)
Convocatoria 2016 del Programa estatal de investigación, desarrollo e innovación orientada a los retos de la sociedad.
Cuantía subvención: gastos de ejecución:
costes directos: 181.600,00 €
costes indirectos (21%): 38.136,00 €
total: 219.736,00 €
Calificación recibida: A
Duración, desde: 01/01/2017 hasta: 31/12/2019
Número de contratos predoctorales para la formación de doctores: 1
Centro de Ejecución: Instituto de Investigación en Ingeniería de Aragón (I3A), Univ. de Zaragoza.
Número investigadores: 14 doctores en el equipo de investigación. Equipo de trabajo: 6 doctores y 5 no doctores.

Título proyecto coordinado: Memoria, Interconexión y Aplicaciones para Computadores Eficientes (MIACE)
Investigadores Principales: Proyecto Coordinado: Víctor Viñals
Subproyecto 01: Jerarquía de Memoria y Aplicaciones:
IP1: Víctor Viñals, IP2: Pablo Ibáñez.(Univ. de Zaragoza)
Subproyecto 02: Arquitecturas de Interconexión y Aplicaciones:
IP1: Ramón Beivide, IP2: Fernando Vallejo (Univ. de Cantabria)
Título del subproyecto: Jerarquía de Memoria y Aplicaciones
Ref. del subproyecto: TIN2013-46957-C2-1-P
Entidad financiadora: 100% Subvención PGE, Ministerio de Economía y Competitividad (MINECO).
Convocatoria 2013 del Programa Estatal de Investigación Científica y Técnica de Excelencia.
Subprograma Estatal de Generación de Conocimiento, modalidad 1, Proyectos de I+D.
Cuantía subvención: gastos de ejecución:
costes directos: 106.860,0 €
costes indirectos (21%): 22.440,6 €
total: 129.300,6 €
Calificación recibida: A
Duración, desde: 01/01/2014 hasta: 31/12/2017
Centro de Ejecución: Instituto de Investigación en Ingeniería de Aragón (I3A), Univ. de Zaragoza.
Número investigadores: 13 doctores en el equipo de investigación. Equipo de trabajo: 8 doctores y 4 no doctores.

Título del proyecto: CIM: Cuantificación de imágenes médicas
Código: IPT-2011-1638-900000
Entidades financiadoras: Ministerio de Ciencia e Innovación. Convocatoria INNPACTO 2011
Cuantía total: 144.825,80 €
Investigador principal: Salvador Olmos Gasso
Número investigadores: 6
Participantes: Comex Integración SL y Universidad de Zaragoza
Duración: desde 1-oct-2011 hasta 31-dic-2014

Título del proyecto coordinado:Interconexión y Memoria en Computadores Escalables (IMeCE)
Responsable: Proyecto Coordinado: Víctor Viñals Yúfera
Subproyecto 01. Jerarquía de memoria: . Víctor Viñals,
Subproyecto 02. Jerarquía de Interconexión: Ramón Beivide, U. de Cantabria
Título del subproyecto: Jerarquía de memoria.
TIN2010-21291-C02-01
Entidad financiadora: 50% Ministerio de Ciencia e Innovación. 50% FEDER.
Convocatoria 2010 de ayudas para la realización de Proyectos de Investigación

	Fundamental no orientada. Subprograma TIN.
Cuantía subvención:	gastos de ejecución:195.600 € (contratación de personal + costes de ejecución) costes indirectos: 41.076 € total: 236.676 €
Becas FPI asignadas:	1
Calificación recibida:	A
Duración, desde:	01/01/2011 hasta: 31/12/2013
Investigador principal:	Víctor Viñals Yúfera
Número investigadores:	17 (13 doctores). Ampliado en tres jóvenes investigadores a lo largo de 2012.

Título del proyecto:	Equipamiento del Centro de Supercomputación de Aragón (CeSAr) Universidad de Zaragoza, ref. UNZA10-4E-564 Resolución definitiva: Orden Ministerial del 24/2/2011
Tipo de participación:	Nuestro grupo de investigación es uno de los 8 solicitantes.
Entidad financiadora:	Ministerio de Ciencia e Innovación Convocatoria 2010, subprograma de proyectos de infraestructura científico-tecnológica cofinanciados con FEDER
Cuantía subvención:	2,0 M€ (50% Gobierno de Aragón, 50% fondos FEDER)
Período de ejecución	del 1 de enero de 2010 al 31 de diciembre de 2012. Prorrogada la fecha de final de ejecución (entrega de actas de compra) a Noviembre 2015.
Solicitante principal:	Alfonso Tarancón Lafita, en representación del Instituto de Biocomputación y Física de Sistemas Complejos (BiFi)

Resto de grupos e instituciones solicitantes: Zaragoza Scientific Center for Advanced Modeling (ZCAM), Escuela Universitaria Politécnica de Teruel, Escuela Politécnica Superior de Huesca, Instituto de matemáticas y Aplicaciones, Instituto Universitario de Investigación en Nanociencia de Aragón, Grupo de Arquitectura de Computadores de Zaragoza, Grupo de Informática Gráfica Avanzada, Instituto de Investigación en Ingeniería en Aragón.

Título del proyecto:	Jerarquía de Memoria de Alto Rendimiento TIN2007-66423
Entidad financiadora:	Programa Nacional de Tecnologías Informáticas (PRONTIN) Plan nacional de I+D+I (2004-2007). Ministerio de Ciencia y Tecnología
Cuantía subvención:	Gastos de Ejecución: 126.000 € Costes Indirectos: 26.460 € TOTAL: 152.460 €
Duración, desde:	01/10/2007 hasta: 03/08/2010
Investigador principal:	Víctor Viñals Yúfera
Número investigadores:	14

Título del proyecto:	Computación de altas prestaciones IV. Jerarquía de memoria de altas prestaciones. TIN2004-07739-C02-02 (Coordinado)
Entidad financiadora:	Programa Nacional de Tecnologías Informáticas (PRONTIN) Plan nacional de I+D+I (2004-2007). Ministerio de Ciencia y Tecnología.
Cuantía subvención:	gastos de Ejecución: 140.000 € Costes Indirectos: 21.000 € Dotación adicional: 20.000 € TOTAL: 181.000 €
Becas FPI asignadas:	una
Duración, desde:	13/12/04 hasta: 13/12/07
Investigador principal:	Víctor Viñals Yúfera
Número investigadores:	11

Responsable del Proyecto Coordinado: Mateo Valero Cortés, U. Politécnica de Catalunya.

Título del proyecto:	Computación de Altas Prestaciones III. Jerarquía de memoria de altas prestaciones. TIC2001-0995-C02-02 (Coordinado)
Entidad financiadora:	Ministerio Ciencia y Tecnología. Plan Nacional de I+D+I 2000/2003. Programa PRONTIC.
Cuantía subvención:	Costes de Ejecución: 113.591,29 € Costes Indirectos: 17.038,70 €

	Dotación adicional:	8.985,14 €
	TOTAL:	139.615,13 €
Duración, desde:	28/12/01	hasta: 27/12/04
Investigador principal:	Víctor Viñals Yúfera	
Número investigadores:	10	

Responsable del Proyecto Coordinado: Mateo Valero Cortés, U. Politécnica de Catalunya.

Participación en Proyectos de I+D Financiados en Convocatorias Competitivas
Ámbito: Aragón

Título del proyecto: gaZ: grupo de Arquitectura de Computadores de la Universidad de Zaragoza. Ref. T58_23R. Reconocimiento de "Grupo de Investigación de Referencia" en el ámbito de la Comunidad Autónoma de Aragón, área de Tecnología.
Entidad financiadora: Diputación General de Aragón
Financiación: 41.174,86€
Período: 2023-2025
IP/CoIP: Víctor Viñals Yúfera / Pablo Ibáñez Marín
Nº investigadores: 22
- 14 investigadores efectivos: 12 doctores y 2 no doctores
- 8 investigadores colaboradores: 6 doctores y 2 no doctores.

Resolución del Departamento de Ciencia, Universidad y Sociedad del Conocimiento, de 20 de abril de 2023. Boletín Oficial de Aragón, Núm. 80 del 28/04/2023.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ. Referencia T58_20R.
Entidad financiadora: Diputación General de Aragón.
Financiación: 25.094 € (puntuación: 81 sobre 100).
Período: años 2020-2022.
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 23 (1 IP, 14 investigadores efectivos y 8 miembros colaboradores).

Financiación de la actividad investigadora de los grupos de investigación reconocidos por el Gobierno de Aragón para el periodo 2020-2022 (Orden CUS/1466/2020, de 19 de noviembre). Resolución del Departamento de Ciencia, Universidad y Sociedad del Conocimiento, de 17 de agosto de 2021, BOA nº 179 de 27 de agosto de 2021.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ. Referencia T58_20R.
Entidad financiadora: Diputación General de Aragón
Período: años 2020-2022
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 23 (1 investigador principal + 14 investigadores efectivos + 8 miembros colaboradores)

Reconocimiento como Grupo de Investigación de Referencia en el ámbito de la Comunidad Autónoma de Aragón, área de Tecnología. Resolución del Departamento de Ciencia, Universidad y Sociedad del Conocimiento, de 13 de marzo de 2020, BOA nº62 de 26 de marzo de 2020.Convocatoria por Orden CUS/1338/2019, de 8 de octubre.

Título del proyecto: JIUZ-2017-TEC-09: Estrategias de mejora software y hardware para sistemas altamente heterogéneos: planificación dinámica y redes on-chip
Entidad financiadora: Fundación bancaria Ibercaja y Universidad de Zaragoza
Financiación: 2000 €
Período: 01/01/2018 - 31/12/2018
Investigador principal: Darío Suárez Gracia
Número investigadores: 7

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ. Referencia T58_17R
Entidad financiadora: Diputación General de Aragón y Programa Operativo FEDER Aragón 2014-20
Subvención concedida: 37.792 € (puntuación: 79 sobre 100)
Período: años 2017-2019
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 1 investigador principal, 13 investigadores efectivos + 10 miembros colaboradores

Financiación de los proyectos estratégicos de los grupos de investigación reconocidos por el Gobierno de Aragón. Resolución del Departamento de Innovación, Investigación y Universidad, de 19 de junio de 2018, BOA nº 123 de 27 de junio de 2018.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ. Referencia T58_17R.
Entidad: Diputación General de Aragón
Período: años 2017-2019
Investigador principal: Víctor Viñals Yúfera

Número investigadores: 1 investigador principal + 13 investigadores efectivos + 10 miembros colaboradores
Reconocimiento como grupo de Investigación de Referencia de la Comunidad Autónoma de Aragón, en el área de Tecnología Resolución del Departamento de Innovación, investigación y Universidad de 20 de marzo de 2018. Boletín Oficial de Aragón nº 61, de 27 de marzo de 2018.Convocatoria en la Orden IIU/1874/2017, de 22 de noviembre, BOA nº 228 de 28 de noviembre.

Título del proyecto: Plataforma Cloud para Gestión de Industria 4.0 y Smart Services
Entidad financiadora: Diputación General de Aragón y Programa Operativo FEDER Aragón 2014-20
Subvención concedida: 9.378,00 €
Duración, desde: 1-octubre-2016 hasta: 30-septiembre-2017
Subvención 2017 correspondiente a la línea de ayudas para la Industria 4.0 y las iniciativas de valor añadido de las PYME, en el marco del programa de Ayudas a la Industria y la PYME en Aragón (PAIP). Resolución de 11 de agosto de 2017. Código 0283/2017/PAIP. BOA 168 de 1 de Septiembre de 2017.
Cuarta mejor valoración (180/200) sobre un total de 286 solicitudes evaluadas.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón y Programa Operativo FEDER Aragón 2014-20
Subvención concedida: 7.622,00 €
Período: año 2016
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 13 profesores UZ + 3 investigadores en formación
Subvención 2016 de grupos de investigación reconocidos por la DGA. Resolución de 23 de noviembre de 2016. Grupo Ref. T48, consolidado. BOA 227 de 24 de Noviembre de 2016.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Subvención concedida: 7.322,00 €
Período: año 2015
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 12 miembros profesores UZ + 3 investigadores en formación
Reconocimiento periodo 2014-16 de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología “Grupo de Investigación Consolidado. Área Tecnología”. Orden de 19 de junio de 2015, Grupo Ref. T48. BOA 133 de 13 de Julio de 2015.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Subvención concedida: 7.633,00 €
Período: año 2014
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 12 miembros profesores UZ + 4 investigadores en formación
Reconocimiento periodo 2014-16 de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología “Grupo de Investigación Consolidado”. Orden de 25 de agosto de 2014, Grupo Ref.T48. BOA 168 de 28 de Agosto de 2014.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Actuación subvencionable: 8.192,50 €
Cuantía subvención: 6.554,00 €
Período: año 2013
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 16 miembros UZ + 2 colaboradores en UPC + 2 colaboradores en UPV y UVA
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología “Grupo de Investigación Consolidado”. Resolución de 30 de Mayo de 2013, Grupo Ref. T48. BOA 119 de 19 de Junio de 2013.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 9.959,00 €
Período: año 2012
Investigador principal: Víctor Viñals Yúfera

Número investigadores: 16 miembros UZ (+ 2 colaboradores en UPC + 2 colaboradores en UPV y UVA)
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "Grupo de Investigación Consolidado". Resolución de 26 de septiembre de 2012, Grupo Ref. T48. BOA 195 de 5 de Octubre de 2012.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 10.287 €
Período año 2011
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 13 miembros UZ (+ 5 colaboradores de otras Universidades)
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "Grupo de Investigación Consolidado". Resolución de 15 de Abril de 2011, Grupo Ref. T48. BOA 89 de 9 de Mayo de 2011.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 9.624 €
Período año 2010
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 12 miembros UZ (+ 6 colaboradores de otras Universidades)
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "Grupo de Investigación Consolidado". Resolución de 7 de Junio de 2010, Grupo Ref. T48. BOA 122 de 23 de Junio de 2010.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 10.650 €
Período año 2009
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 12 miembros UZ (+ 6 de otras Universidades)
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "Grupo de Investigación Consolidado". Resolución de 22 de Junio de 2009, Grupo Ref. T48. BOA 133 de 13 de Julio de 2009.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 12.854 €
Período año 2008
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 17
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "Grupo de Investigación Consolidado". Resolución de 18 de Abril de 2008, Grupo Ref. T48. BOA 55 de 9 de mayo de 2008.

Título del proyecto: 16 nodos de computación tipo Altix XE 210 con 2 procesadores de doble núcleo
Entidad financiadora: Universidad de Zaragoza/Gobierno de Aragón.
Convocatoria de Infraestructura de Investigación (INF2007-TEC-14)
Cuantia de la subvención: Cofinanciación del Gobierno de Aragón (8.800 €),
Instituto de Investigación en Ingeniería de Aragón (6.000 €)
y proyecto TIN2004-07739-C02-02 (25.200 €). Total gasto: 40.000 €
Fecha acción: Julio 2007
Investigador principal: Pablo Ibáñez Marín
Nº Investigadores: 11

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 10.462,85 €
Período año 2007
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 13
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "Grupo de Investigación

Consolidado". Resolución de 22 de Mayo de 2007, Grupo Ref. T48. BOA 69 de 11 de junio de 2007, pp. 9645-9657

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 9.057,23 €
Período año 2006
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 13
Mantenimiento de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "*Grupo de Investigación Consolidado*". Resolución 1400 de 5 de Mayo de 2006, Grupo Ref. T48. BOA 54 de 15 Mayo 206. pp. 6417-6428.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 7.542,68 €
Período año 2005
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 11
Mantenimiento de nuestro grupo el listado de Unidades Operativas de Investigación, bajo la tipología "*Grupo de Investigación Consolidado*". Resolución 1069 de 13 de Abril de 2005. BOA 48 de 20 Abril 2005. pp. 4801-4812.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 5046,39 €
Período año 2004
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 10
Inclusión de nuestro grupo en el listado de Unidades Operativas de Investigación, bajo la tipología "*Grupo de Investigación Consolidado*". Resolución 2581 de 1 de Oct. de 2004, BOA 122 de 15 Oct 2004. pp. 9213-9216.

Título del proyecto: gaZ: Grupo de Arquitectura de Computadores de la UZ
Entidad financiadora: Diputación General de Aragón
Cuantía subvención: 4.673,82 €
Período año 2003
Investigador principal: Víctor Viñals Yúfera
Número investigadores: 7
Inclusión de nuestro grupo de investigación en el listado de Unidades Operativas de Investigación, bajo la tipología "*Grupo de Investigación Emergente*". Resolución 1397 de 24 de Abril de 2003, BOA 58 de 14 de mayo de 2003, pp. 5569-5571.

Publicaciones o Documentos Científico-Técnicos

Libros; capítulos de libro y revistas, con revisión estricta entre pares

CLAVES: L = libro completo, CL = capítulo de libro, A = artículo, R = "review", E = editor.
Autores por orden de firma

Autores: Rubén Langarita, Adrià Armejach, Javier Setoain, Pablo Ibáñez-Marín, Jesús Alastruey-Benedé, Miquel Moretó
Título: Porting and optimizing BWA-MEM2 using the Fujitsu A64FX processor
Ref. revista: IEEE/ACM Transactions on Computational Biology and Bioinformatics (TCBB).
Print ISSN: 1545-5963. Online ISSN: 1557-9964. **JCR 2021: Q1**
Clave: A (regular paper)
Vol: x, number y Páginas: x-y Fecha: 2023
Editorial: IEEE Computer Society

Autores: Lorién López-Villellas, Carl Christian Kjelgaard Mikkelsen, Juan José Galano-Frutos, Santiago Marco-Sola, Jesús Alastruey-Benedé, Pablo Ibáñez, Miquel Moretó, Javier Sancho, and Pablo García-Risueño
Título: Accurate and efficient constrained molecular dynamics of polymers using Newton's method and special purpose code
Ref. revista: Computer Physics Communications Print ISSN: 0010-4655. Online ISSN: 1879-2944. **JCR 2021: Q1**
Clave: A (regular paper)
Vol: 288, number y Páginas: x-y Fecha: 2023
Editorial: Elsevier

Autores: Agustín Navarro-Torres, Jesús Alastruey-Benedé, Pablo Ibáñez Marín, Víctor Viñals Yúfera
Título: BALANCER: Bandwidth Allocation and Cache Partitioning for Multicore Processors.
Ref. revista: Journal of Supercomputing. Electronic ISSN:1573-0484, Print ISSN:0920-8542. **JCR 2021: Q2**
Clave: A (regular paper)
Vol: x, number y Páginas: x-y Fecha: 2023
Editorial: Springer

Autores: Jesús Yániz, Carlos Alquézar-Baeta, Jorge Yagüe-Martínez, Jesús Alastruey-Benedé, Inmaculada Palacín, Sergii Boryshpolets, Vitaliy Kholodnyy, Hermes Gadêlha and Rosaura Pérez-Pe
Título: Expanding the Limits of Computer-Assisted Sperm Analysis through the Development of Open Software
Ref. revista: Biology. Print ISSN: 1545-5963. Online ISSN: 1557-9964. **JCR 2020: Q1**
Clave: A (regular paper). Selected as the cover of the issue
Vol: 9, number: 8 Páginas: 16 Fecha: August 2020
Editorial: MDPI
Lugar de publicación: Estados Unidos

Autores: Rubén Langarita, Adrià Armejach, Javier Setoain, Pablo Ibáñez-Marín, Jesús Alastruey-Benedé, Miquel Moretó
Título: Compressed Sparse FM-Index: Fast Sequence Alignment Using Large K-Steps
Ref. revista: IEEE/ACM Transactions on Computational Biology and Bioinformatics (TCBB).
Print ISSN: 1545-5963. Online ISSN: 1557-9964. **JCR 2021: Q1**
Clave: A (regular paper)
Vol: 19, number: 1 Páginas: 355-368 Fecha: Jan/Feb 2022
Editorial: IEEE Computer Society
Lugar de publicación: Estados Unidos

Autores: Agustín Navarro-Torres, Jesús Alastruey-Benedé, Pablo Ibáñez Marín, Víctor Viñals Yúfera
Título: Memory hierarchy characterization of SPEC CPU2006 and SPEC CPU2017 on the Intel Xeon Skylake-SP
Ref. revista: PLOS ONE 14(8): e0220135. ISSN 0743-7315. **JCR 2019: Q2**

Clave: A (regular paper)
Vol: 14, number 8 Páginas: 1-24 Fecha: August 2019
https://doi.org/10.1371/journal.pone.0220135
Editorial: Public Library of Science

Autores: José Manuel Herruzo, Sonia González, Pablo Ibáñez, Víctor Viñals, Jesús Alastruey-Benedé, Óscar Plata
Título: Accelerating Sequence Alignments Based on FM-Index Using the Intel KNL Processor
Ref. revista: IEEE/ACM Transactions on Computational Biology and Bioinformatics.
Print ISSN: 1545-5963. Online ISSN: 1557-9964. **JCR 2020: Q1**
Clave: A (regular paper)
Vol: 17, number: 4 Páginas: 1093-1104 Fecha: July/August 2020
Editorial: IEEE Computer Society
Lugar de publicación: Estados Unidos

Autores: Alexandra Ferrerón, Jesús Alastruey-Benedé, Darío Suárez Gracia, Teresa Monreal Arnal, Pablo Ibáñez Marín, Víctor Viñals Yúfera
Título: A fault-tolerant last level cache for CMPs operating at ultra-low voltage,
Ref. revista: Journal of Parallel and Distributed Computing (ISSN 0743-7315). **JCR 2019: Q2**
Clave: A (regular paper)
Vol: 125 Páginas: 31-44 Fecha: March 2019
doi:10.1016/j.jpdc.2018.10.010.
Editorial: Elsevier

Autores: Alexandra Ferrerón, Darío Suárez-Gracia, Jesús Alastruey-Benedé, Teresa Monreal-Arnal, Pablo Ibáñez
Título: Concertina: Squeezing in Cache Content to Operate at Near-Threshold Voltage
Ref. revista: IEEE Transactions on Computers & IEEE Transactions on Nanotechnology Joint Special Section on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (ISSN 0018-9340). **JCR 2016: Q1**
Clave: A (regular paper)
Vol: 65, number: 3 Páginas: 755-769 Fecha: March 2016
doi:10.1109/TC.2015.2479585
Editorial: IEEE Computer Society
Lugar de publicación: Estados Unidos

Autores: J. Alastruey, J. L. Briz, P.E. Ibáñez and V. Viñals
Título: Software Demand, Hardware supply
Ref. revista: IEEE Micro (ISSN 0272-1732). **JCR 2006: Q1**
Clave: A (regular paper)
Vol: 26, number: 4 Páginas: 72-82 Fecha: July-Aug. 2006
Editorial: IEEE Computer Society
Lugar de publicación: Estados Unidos

Informes y capítulos de libro en español

CLAVE: CL = capítulo de libro, A = artículo, R = “review“, E = editor, S = Documento Científico-Técnico restringido.

Autores por orden de firma

Autores: Natalia Ayuso-Escuer, Jesús Alastruey-Benedé
Título: Mejora del Aprendizaje Mediante Cuestionarios en Línea
ISBN: 978-84-368-4261-6. Depósito legal: M-37176-2019
Clave: CL Páginas: 12 Fecha: 2020
Editorial: Pirámide (grupo Anaya) 9ª en el Índice SPI de Comunicación y 14ª en el Índice General del año 2018
Lugar de publicación: Madrid, España

Autores: Alexandra Ferrerón, Jesús Alastruey-Benedé, Darío Suárez-Gracia, and Ulya R. Karpuzcu
Título: AISC: Approximate Instruction Set Computer
Ref. report: arXiv:1803.06955 [cs.AR]

Clave: A Volumen: Páginas, inicial: 1 final: 6 Fecha: 2018
Lugar de publicación: arXiv: https://arxiv.org/abs/1803.06955

Autores: J. Alastruey, P. Ibáñez , J.L. Briz y V. Viñals
Título: The Memory Side of Moore's Law
Ref. report: DIIS, RR-03-99
Clave: S Volumen: Páginas, inicial: 1 final: 15 Fecha: 2003
Editorial (si libro):
Lugar de publicación: Dpto. Informática e Ingeniería de Sistemas, C/ María de Luna 1, U. de Zaragoza

---

Autores: J. Alastruey, O. Blasco, P. Ibáñez , J.L. Briz y V. Viñals
Título: SPEC CPU y Caches en Chip: Evolución y Rendimiento
Ref. report: DIIS, RR-02-06
Clave: S Volumen: Páginas, inicial: 1 final: 10 Fecha: 2002
Editorial (si libro):
Lugar de publicación: Dpto. Informática e Ingeniería de Sistemas, C/ María de Luna 1, U. de Zaragoza

---

Autores: I. Alastruey, J. Alastruey, N. Ayuso, J.A. Cuchí, F. Lera, A. Mediano, P. Molina, J.L.. Villarroel y V. Viñals
Título: Inducción magnética y técnicas asociadas en el estudio del karst
Ref. Libro: Karst and Environment ISBN: 84-920268-9-8
Clave: CL Volumen: Páginas, inicial: 505 final: 510 Fecha: 2002
Editorial (si libro): Fundación Cueva de Nerja (editores: F. Carrasco, J.J. Durán y B. Andreo)
Lugar de publicación: Granada, España

Participación en Contratos de I+D con Empresas y/o Administraciones (nacionales e internacionales)

Título del contrato:	Gestión remota de infraestructuras
Tipo de contrato:	Contrato de investigación con empresa
Empresa financiadora:	Tafyesa
Duración:	Enero 2004 - Diciembre 2017
Investigador responsable:	Jesús Alastruey Benedé
Número investigadores:	2
Resumen:	Se han desarrollado productos de automatización, comunicación y telegestión. Estos sistemas, desplegados en gran parte de las instalaciones realizadas por TAFYESA para distintas empresas e instituciones, gestionan infraestructuras repartidas por todo el mundo.
Importe:	79.540 €

Título del contrato:	Recopilación de normas y realización de estudio para catálogo de productos
Tipo de contrato:	Contrato de investigación con empresa
Empresa financiadora:	BICC Cables de Comunicaciones
Duración:	Junio 1997- Septiembre 1997
Investigador responsable:	Fernando Muñoz Latrás
Número investigadores:	2
Importe:	300.000 pts

Contribuciones a Congresos

Congresos internacionales con revisión estricta entre pares

Autores: Lorién López-Villellas, Esteve Pineda-Sánchez, Asaf Badouh, Santiago Marco-Sola, Pablo Ibáñez, Jesús Alastruey-Benedé, and Miquel Moretó
Título: RISC-V for Genome Data Analysis: Opportunities and Challenges
Congreso: XXXVIII Conference on Design of Circuits and Integrated Systems (DCIS 2023)
Publicación: Proceedings, pp. 1-6. DOI: to appear.
Lugar: Málaga, Spain Fecha: 15-17 nov., 2023

Autores: Agustín Navarro-Torres, Biswabandan Panda, J. Alastruey-Benedé, Pablo Ibáñez, Víctor Viñals, Alberto Ros
Título: Berti: an Accurate Local-Delta Data Prefetcher.
Congreso: 55th ACM/IEEE International Symposium on Microarchitecture (MICRO 2022). **GGS clase 2 (A)**, acceptance ratio = 33.5% (83 of 348 submissions). **HiPEAC Paper Award** concedido por el comité directivo de HiPEAC (High-Performance and Embedded Architecture and Compilation Network of Excellence)
Publicación: Proceedings, pp. 975-991. DOI: 10.1109/MICRO56248.2022.00072
Lugar: Chicago, USA. Fecha: 1-5 octubre, 2022

Autores: Agustín Navarro-Torres, Maria Carpen-Amarie, Jesús Alastruey-Benedé and Pablo Ibáñez-Marín
Título: Synchronization Strategies on Many-Core SMT Systems
Congreso: 33rd Int. Symposium on Computer Architecture and High Performance Computing (SBAC-PAD 2021) **Core B** en CORE2021, acceptance ratio = 39.6% (21 of 53 submissions).
Publicación: Proceedings, pp. 54-63, DOI: 10.1109/SBAC-PAD53543.2021.00017
Lugar: Belo Horizonte, Brasil. Fecha: 26-29 octubre, 2021

Autores: Enrique Torres-Sánchez, Jesús Alastruey-Benedé and Enrique Torres-Moreno
Título: Developing an AI IoT application with open software on a RISC-V SoC
Congreso: XXXV Conference on Design of Circuits and Integrated Systems (DCIS 2020)
Publicación: Proceedings, pp. 1-6. DOI: 10.1109/DCIS51330.2020.9268645.
Lugar: Segovia, Spain Fecha: 18-20 nov., 2020

Autores: Natalia Ayuso-Escuer, Jesús Alastruey-Benedé
Título: Mejora del Aprendizaje Mediante Cuestionarios en Línea
Congreso: Congreso Universitario Internacional sobre Contenidos, Investigación, Innovación y Docencia, CUICIID 2019
Publicación: Libro de actas del congreso CUICIID 2019, página 54. ISBN: 978-84-09-17043-2
Lugar: Madrid, Spain Fecha: 23-24 oct., 2019

Autores: Alejandro Valero, Darío Suárez Gracia, Ruben Gran Tejero, Luis M. Ramos, Agustín Navarro-Torres, Adolfo Muñoz, Joaquín Ezpeleta, José Luis Briz, Ana C. Murillo, Eduardo Montijano, Javier Resano, María Villarroya-Gaudó, Jesús Alastruey-Benedé, Enrique Torres, Pedro Álvarez, Pablo Ibáñez, and Víctor Viñals
Título: Exposing Abstraction-Level Interactions with a Parallel Ray Tracer
Congreso: In Workshop on Computer Architecture Education (WCAE'19). ACM, New York, NY, USA, 8 pages https://doi.org/10.1145/3338698.3338886
Lugar: Phoenix, AZ, USA Fecha: June 22, 2019

Autores: J.M. Herruzo, S.Gonzalez-Navarro, P. Ibañez, V. Viñals, J. Alastruey-Benedé, and O. Plata.
Título: Boosting Backward Search Throughput for FM-Index Using a Compressed Encoding
Congreso: 2019 Data Compression Conference (DCC 2019). **Core A*** en CORE2018.
Lugar: Snowbird, Utah (USA) Fecha: March 26-29, 2019

Autores: Alexandra Ferrerón, Jesús Alastruey-Benedé, Darío Suárez-Gracia, and Ulya R. Karpuzcu .
Título: AISC: Approximate Instruction Set Computer
Congreso: ASPLOS 2018 Workshop on Approximate Computing Across the Stack (WAX 2018)

Lugar: Williamsburg, Virginia, USA Fecha: March 24, 2018

Autores: J.M. Herruzo, S.Gonzalez-Navarro, P. Ibañez, V. Viñals, J. Alastruey-Benedé, and O. Plata.
Título: Exact Alignment with FM-index on the Intel Xeon Phi Knights Landing Processor
Congreso: HPCA 2018 Workshop on Accelerator Architecture in Computational Biology and Bioinformatics (AACBB 2018). Oral paper presentation by J. M. Herruzo (13 referred papers and 4 invited talks)
Lugar: Viena, Austria Fecha: February 24, 2018

Autores: Carl Christian Kjelgaard Mikkelsen, Jesús Alastruey-Benedé, Pablo Ibáñez-Marín, and Pablo García-Risueño
Título: Accelerating Sparse Arithmetic in the Context of Newton's Method for Small Molecules with Bond Constraints
Congreso: 11th International Conference on Parallel Processing and Applied Mathematics (PPAM 2015).
Springer Lecture Notes on Computer Science (LNCS 9573) series.
Core C en CORE2014, acceptance ratio = 43% (111 of 258 submissions).
Publicación: Proceedings, pp. 160-171.
Lugar: Krakow, Poland Fecha: September 6-9, 2015

Autores: A. Ferrerón, D. Suárez-Gracia, J. Alastruey, T. Monreal, and V. Viñals
Título: Block Disabling Characterization and Improvements in CMPs Operating at Ultra-low Voltages
Congreso: 26th International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD).
Core B en CORE2014, acceptance ratio = 32.3% (43 of 133 submissions).
Publicación: Proceedings, pp. 238 - 245. IEEE Press (ISSN 1550-6533). DOI: 10.1109/SBAC-PAD.2014.12
Lugar: Paris, France Fecha: October 22-24, 2014

Autores: Alexandra Ferrerón-Labari, Marta Ortín-Obón, Darío Suárez-Gracia, Jesús Alastruey, Víctor Viñals-Yúfera
Título: Shrinking L1 Instruction Caches to Improve Energy-Delay in SMT Embedded Processors
Congreso: 26th International Conference on Architecture of Computing Systems (ARCS 2013).
Springer Lecture Notes on Computer Science (LNCS 7767) series.
Acceptance ratio = 39.7% (29 of 73 submissions)
Publicación: Proceedings, pp. 256-267, ISBN 978-3-642-36423-5
Lugar: Prague, Czech Fecha: 19-22 Febrero, 2013

Autores: J. Alastruey, T. Monreal, F.J. Cazorla, V. Viñals, and M.Valero
Título: Selection of the Register File Size and the Resource Allocation Policy on SMT Processors
Congreso: 20th International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD).
Core B en ERA2008, acceptance ratio = 38.5% (22 of 57 submissions).
Citado por 12 patentes de IBM: https://ieeexplore.ieee.org/document/4685729/citations?tabFilter=patents#citations
Publicación: Proceedings. IEEE Computer Society, pp. 63-70, ISBN 978-0-7695-3423-7
Lugar: Campo Grande, Brasil Fecha: 29 Oct- 1 Nov, 2008

Autores: J. Alastruey, T. Monreal, V. Viñals, and M.Valero
Título: Microarchitectural Support for Speculative Register Renaming
Congreso: 21st IEEE International Parallel and Distributed Processing Symposium (IPDPS 2007)
GGS clase 2(A), Core A en ERA2008, acceptance ratio = 26%.
Citado por dos patentes de ARM (US Patents 8695010 y 9400655).
Publicación: Proceedings.
Abstracts: IEEE Computer Society, p. 45, ISBN 1-4244-0909-8
Full paper: CD-ROM, IEEE Computer Society, 10 p., ISBN 1-4244-0910-1
Lugar: Long Beach, California, EEUU Fecha: 26-30 March, 2007

Autores: J. Alastruey, T. Monreal, V. Viñals, and M. Valero
Título: Speculative Early Register Release
Congreso: 3rd ACM International Conference on Computing Frontiers (ICCF 2006)
GGS clase 3(B-), acceptance ratio = 25%.
Citado por una patente de QUALCOMM (US Patent 7669039).
Publicación: Proceedings, pp. 291-302. ACM Press - New York, NY, USA (ISBN:1-59593-302-6)
Lugar: Ischia (Italy) Fecha: 2-5 May, 2006

Autores: J.A. Turégano, M.C. Velasco, J. Alastruey
Título: A Multimedia Thermodynamics Course With Game
Congreso: 2001 American Society for Engineering Education Annual Conference & Exposition (ASEE 2001). **Core B** en CORE2010.
Publicación: Proceedings, pp. 6.61.1-6.61.14. ISSN 2153-5965
Lugar: Alburquerque, New Mexico Fecha: 24-27 June, 2001

Contribuciones a Congresos

Conferencias nacionales y congresos internacionales sin proceso de revisión

Autores: Agustin Navarro Torres, Jesús Alastruey Benedé, Pablo Ibañez Marín, Víctor Viñals Yúfera
Título: Mejorando Rendimiento y Equidad: Control de Ocupación de Cache Compartida y Tráfico con Memoria Principal
Congreso: XXXI Jornadas de Paralelismo (JP2021), integradas en las Jornadas SARTECO
Publicación: Actas de las XXXI Jornadas de Paralelismo (JP2021).
Lugar: Málaga, España Fecha: 22-24 sept., 2021

Autores: Alejandro Valero, Darío Suárez Gracia, Rubén Gran Tejero, Luis M. Ramos, Adolfo Muñoz, Joaquin Ezpeleta, Jose Luis Briz, Ana C. Murillo, Eduardo Montijano, Javier Resano, Maria Villarroya-Gaudó, Jesús Alastruey-Benedé, Enrique Torres, Pedro Alvarez, Pablo Ibañez, and Victor Viñals
Título: Experimentación Preliminar con un Trazador de Rayos para Relacionar Niveles de Abstracción
Congreso: XXX Jornadas de Paralelismo (JP2019), integradas en las Jornadas SARTECO
Publicación: Actas de las XXX Jornadas de Paralelismo (JP2019).
Lugar: Cáceres, España Fecha: 18-20 sept., 2019

Autores: J. M. Herruzo Ruiz, S. González-Navarro, P. Ibáñez, V. Viñals-Yufera, J. Alastruey-Benedé, O. Plata
Título: Aceleración de una Aplicación con Acceso Intensivo e Impredecible a los Datos en el Procesador Intel Xeon Phi KNL
Congreso: XXIX Jornadas de Paralelismo (JP2018), integradas en las Jornadas SARTECO
Publicación: Actas de las XXIX Jornadas de Paralelismo (JP2018).
Lugar: Teruel, España Fecha: 12-14 sept., 2018

Autores: Agustín Navarro Torres, Jesús Alastruey Benedé, Pablo Ibáñez Marín, Víctor Viñals Yúfera
Título: Caracterización del rendimiento de la jerarquía de memoria para SPEC CPU2006 y CPU2017
Congreso: XXIX Jornadas de Paralelismo (JP2018), integradas en las Jornadas SARTECO
Publicación: Actas de las XXIX Jornadas de Paralelismo (JP2018).
Lugar: Teruel, España Fecha: 12-14 sept., 2018

Autores: R. Langarita, P. Ibáñez, J. Alastruey-Benedé, C. C. Kjelgaard Mikkelsen, P. García-Risueño
Título: Método Paralelo para la Resolución de Ecuaciones de Ligadura en Moléculas Lineales
Congreso: XXIX Jornadas de Paralelismo (JP2018), integradas en las Jornadas SARTECO
Publicación: Actas de las XXIX Jornadas de Paralelismo (JP2018).
Lugar: Teruel, España Fecha: 12-14 sept., 2018

Autores: Agustin Navarro Torres, Jesús Alastruey Benedé, Pablo Ibañez Marín, Víctor Viñals Yúfera
Título Memory Hierarchy Performance Characterization of SPEC CPU2017
Congreso: 14th International Summer School on Advanced Computer Architecture and Compilation for High-Performance and Embedded Systems (ACACES 2018)
Publicación: Poster Abstracts, pp. x-y. Academic Press, Ghent (Belgium), ISBN xx
Editores: Koen De Bosschere
Lugar: Fiuggi (Italy) Fecha: 8-14 July., 2018

Autores: A. Ferrerón, J. Alastruey, D. Suárez, T. Monreal, P. Ibáñez, V. Viñals
Título: Gestión de Contenidos en Caches Operando a Bajo Voltaje
Congreso: XXVII Jornadas de Paralelismo (JP2016), integradas en las Jornadas SARTECO y en el CEDI 2016
Publicación: Actas de las XXVII Jornadas de Paralelismo (JP2016), pp. 497-506, ISBN: 978-84-9012-626-4.
Lugar: Salamanca, España Fecha: 14-16 sept., 2016

Autores: Carl Christian Kjelgaard Mikkelsen, Jesús Alastruey-Benedé,Pablo Ibáñez-Marín, Pablo García-Risueño
Título Optimización de Código para Operaciones con Matrices Dispersas de Tamaño Reducido
Congreso: XXVI Jornadas de Paralelismo (JP2015), integradas en las Jornadas SARTECO
Publicación: Actas de las XXVI Jornadas de Paralelismo (JP2015), pp. 375-380. ISBN: 978-84-16017-52-2.

Editores: María Brox Jiménez, José María Castillo Secilla, Juan Carlos Gámez Granados, Andrés Gersnoviez Milla, Juan Gómez Luna, Ezequiel Herruzo Gómez, Fernando León García, Carlos Diego Moreno Moreno, Joaquín Olivares Bueno, José Manuel Palomares Muñoz, José Manuel Soto Hidalgo.
Lugar: Córdoba Fecha: 23-25 Sept., 2015

Autores: María-Astón Serrano-Gracia, Carl Christian Kjelgaard Mikkelsen, Jesús Alastruey-Benedé, Pablo Ibáñez-Marín, Pablo García-Risueño
Título Implementación de un nuevo algoritmo para imponer ligaduras en Dinámica Molecular
Congreso: XXV Jornadas de Paralelismo
Publicación: Actas de las XXV Jornadas de Paralelismo JP2014, pp. 211-218, ISBN: 978-84-697-0329-3
Editores: Arturo González Escribano, Diego R. Llanos Ferraris, Benjamín Sahelices Fernández
Lugar: Valladolid Fecha: 17-19 Sept., 2014

Autores: A. Ferrerón, D. Suarez-Gracia, J. Alastruey, T. Monreal,V. Viñals
Título Low Complexity Improvements for Chip Multiprocessors Shared Caches at Ultra-low Voltages
Congreso: 10th International Summer School on Advanced Computer Architecture and Compilation for High-Performance and Embedded Systems (ACACES 2014)
Publicación: Poster Abstracts, pp. 73-76. Academic Press, Ghent (Belgium), ISBN 9788890580628
Editores: Koen De Bosschere
Lugar: Fiuggi (Italy) Fecha: 13-19 July., 2014

Autores: M. A. Serrano, C. C. Kjelgaard, J. Alastruey, P. Ibáñez, P. García-Risueño
Título Implementation of a New Constraint Algorithm for Molecular Dynamics
Congreso: 10th International Summer School on Advanced Computer Architecture and Compilation for High-Performance and Embedded Systems (ACACES 2014)
Publicación: Poster Abstracts, pp. 237-240. Academic Press, Ghent (Belgium), ISBN 9788890580628
Editores: Koen De Bosschere
Lugar: Fiuggi (Italy) Fecha: 13-19 July., 2014

Autores: Alexandra Ferrerón-Labari, Marta Ortín-Obón, Darío Suárez-Gracia, Jesús Alastruey, Víctor Viñals-Yúfera
Título iLP-NUCA: Cache de Instrucciones Teselada para Procesadores Empotrados
Congreso: XXIII Jornadas de Paralelismo
Publicación: Actas de las XXIII Jornadas de Paralelismo JP2012, pp. 483-488, ISBN: 978-84-695-4471-6 Servicio de Publicaciones. Universidad Miguel Hernández, Elche 2012
Editores: M. Pérez y H. M. Migallón
Lugar: Elche Fecha: 19-21 Sept., 2012

Autores: J. Alastruey, T. Monreal, V. Viñals y M.Valero
Título: Implementación de un Predictor de Último Uso con Decaimiento
Congreso: XX Jornadas de Paralelismo
Publicación: Actas de las XX Jornadas de Paralelismo, pp. 171-176, ISBN 84-9749-346-8
Editores: Ramón Doallo Biempica, Manuel Arenaz Silva, Patricia González Gómez
Lugar: A Coruña Fecha: 16-18 Sept., 2009

Autores: J. Alastruey, T. Monreal, F. Cazorla, V. Viñals, M.Valero
Título: Selección del Tamaño del Banco de Registros y de la Política de Asignación de Recursos en Procesadores SMT
Congreso: XVIII Jornadas de Paralelismo (II Congreso Español de Informática, CEDI 2007)
Publicación: Actas, Vol 1, pp. 3-10, ISBN 978-84-9732-672-8. ISBN Obra Completa 978-84-9732-593-6
Editores: P. Ibáñez, E. Torres, J. Segarra, L. Ramos y J. Alastruey
Lugar: Zaragoza Fecha: 11-14 Sept., 2007

Autores: J. Alastruey, T. Monreal, V. Viñals, M. Valero
Título: Efficient Register File Management in High-ILP Processors
Congreso: International Summer School on Advanced Computer Architecture and Compilation for embedded Systems (ACACES 2005)
Publicación: Poster Abstracts, pp. 201-204. Academic Press, Ghent (Belgium) (ISBN 90 382 0802 2)
Editores: Koen De Bosschere

Lugar:	L'Aquila (Italy)	Fecha: 26 July, 2005

Autores:	J. Alastruey, T. Monreal, V. Viñals, M.Valero
Título:	Limits on Early Release of Physical Registers
Congreso:	XV Jornadas de Paralelismo
Publicación:	Computación de altas prestaciones. Actas de las XV Jornadas de Paralelismo. pp. 231-236. ISBN 84-8240-714-7
Editores:	I. García, L. Casado, V. González y J.J. Fernández
Lugar:	Almería Fecha: 15-17 Sept., 2004

Autores:	J. Alastruey, O. Blasco, P. Ibañez, J.L. Briz, V. Viñals
Título:	SPEC CPU y caches en chip: evolución e interacción
Congreso:	XIII Jornadas de Paralelismo
Publicación:	Actas del Congreso, pp. 19-24. (ISBN 84-8409-159-7)
Lugar:	Lleida Fecha: 9-11 Sept., 2002

Autores:	J. Alastruey, O. Blasco, A. Hurtado, P. Ibáñez, V. Viñals
Título:	COVI: Computador Virtual
Congreso:	XIII Jornadas de Paralelismo
Publicación:	http://www.cps.unizar.es/gaz
Lugar:	Lleida Fecha: 9-11 Sept., 2002

Tesis Doctorales Dirigidas

Título:	Contributions to High-Performance Memory Hierarchies: Program Characterisation, Resource Control, Transactional Synchronisation, and Hardware Prefetching
Doctoranda:	Agustín Navarro Torres
Calificación:	Sobresaliente Cum Laude. Mención Doctorado Internacional.
Universidad:	Universidad de Zaragoza
Departamento:	Informática e Ingeniería de Sistemas
Programa:	Programa de Doctorado “Ingeniería de Sistemas e Informática”. Mención de Calidad MCD2003-00466.
Fecha:	17-abril-2023
Codirector:	Pablo Ibáñez Marín (Universidad de Zaragoza)

Título:	Exploiting Natural On-chip Redundancy for Energy Efficient Memory and Computing
Doctoranda:	Alexandra Ferrerón Labari
Calificación:	Sobresaliente Cum Laude. Mención Doctorado Internacional.
Universidad:	Universidad de Zaragoza
Departamento:	Informática e Ingeniería de Sistemas
Programa:	Programa de Doctorado “Ingeniería de Sistemas e Informática”. Mención de Calidad MCD2003-00466.
Fecha:	25-noviembre-2016
Codirector:	Darío Suárez Gracia (Universidad de Zaragoza)

Experiencia en Organización de Actividades de I+D
Organización de congresos, seminarios, jornadas, etc. científicos-tecnológicos

Título:	XVIII Jornadas de Paralelismo (JJPAR 2007), celebradas dentro del 2º Congreso Español de Informática (CEDI 2007)
Tipo de actividad:	Miembro del Comité Organizador
Ámbito:	Nacional
Lugar y fecha:	Zaragoza, 11-14 Septiembre 2007

Título:	2º Congreso Español de Informática (CEDI 2007)
Tipo de actividad:	Miembro de Comunicación y Prensa
Ámbito:	Nacional
Lugar y fecha::	Zaragoza, 11-14 Septiembre 2007

Contribución a Repositorios de Acceso Público

Ubicación: https://github.com/agusnt/BALANCER
Resumen: Balancer es un conjunto de mecanismos que gestinan el reparto entre núcleos de ejecución del espacio de caché de último nivel (LLC) y del ancho de banda con memoria principal DRAM para mejorar el rendimiento y la equidad del sistema cuando se ejecutan cargas de trabajo multiprogramadas.
Este repositorio está asociado al siguiente artículo: Agustín Navarro-Torres, Jesús Alastruey-Benedé, Pablo Ibáñez, Víctor Viñals-Yúfera. BALANCER: Bandwidth Allocation and Cache Partitioning for Multicore Processors. Journal of Supercomputing (2023). https://doi.org/10.1007/s11227-023-05070-0

Ubicación: https://github.com/agusnt/Berti-Artifact
Resumen: Berti es un prebuscador hardware de caché de datos de primer nivel que selecciona los mejores deltas locales, es decir, aquellos que sólo tienen en cuenta los accesos de demanda emitidos por la misma instrucción. Gracias a un mecanismo de alta confianza que detecta con precisión los deltas locales puntuales con alta cobertura, Berti genera peticiones de prebúsqueda precisas. Berti orquesta las peticiones de prebúsqueda en los distintos niveles de la jerarquía de memoria, utilizando los deltas seleccionados.
Este repositorio se encuentra asociado al siguiente artículo: Agustín Navarro-Torres, Biswabandan Panda, Jesús Alastruey-Benedé, Pablo Ibáñez, Víctor Viñals-Yúfera and Alberto Ros.Berti: an Accurate Local-Delta Data Prefetcher. 55th ACM/IEEE International Symposium on Microarchitecture (MICRO 2022). October 1-5, 2022, Chicago, Illinois, USA. DOI: 10.1109/MICRO56248.2022.00072. Este artefacto recibió tres insignias en el MICRO-2022 (Artifacts Available, Artifacts Evaluated - Functional, Results Reproduced) tras una evaluación adicional realizada por un comité específico. El artefacto está asimismo disponible en zenodo.com: https://doi.org/10.5281/zenodo.6921331

Ubicación: https://gitlab.bsc.es/rlangari/cofi
Resumen: COFI es una herramienta para el alineamiento de secuencias genómicas. En concreto, implementa un algoritmo de búsqueda exacta usando la estructura FM-Index que cuenta el número de ocurrencias de cadenas de longitud arbitraria en un genoma de referencia.
Este repositorio está asociado al siguiente artículo: R. Langarita, A. Armejach, J. Setoain, P. E. Ibanez Marin, J. Alastruey-Benede and M. Moreto Planas. Compressed Sparse FM-Index: Fast Sequence Alignment Using Large K-Steps, publicado en IEEE/ACM Transactions on Computational Biology and Bioinformatics, doi: 10.1109/TCBB.2020.3000253.

Ubicación: https://github.com/agusnt/Xeon-SP_Memory_Characterization_SPEC-CPU-2K6-2K17
Resumen: Repositorio asociado al siguiente artículo: Agustín Navarro-Torres, Jesús Alastruey-Benedé, Pablo Ibáñez-Marín, Víctor Viñals-Yúfera. Memory hierarchy characterization of SPEC CPU2006 and SPEC CPU2017 on the Intel Xeon Skylake-SP. PLOS ONE 14(8): e0220135. 1-aug-2019. https://doi.org/10.1371/journal.pone.0220135.

Ubicación: https://github.com/chusAB/bvSFMindex
Resumen: bvSFM (bit-vector sampled FM-index) es una herramienta para la alineación de secuencias genómicas. Específicamente, implementa un algoritmo de búsqueda exacta que cuenta el número de coincidencias de lecturas de longitud arbitraria en un genoma de referencia. bvSFM indexa un genoma con un FM-Index basado en la Transformada Burrows-Wheeler o BWT. El índice FM es una estructura de datos compacta adecuada para la correspondencia rápida de lecturas cortas con genomas de referencia grandes. Para el genoma humano, su huella de memoria suele ser de unos 3,2 gigabytes de RAM. bvSFM utiliza una estructura de datos para el FM-Index optimizada y una codificación que empaqueta todos los datos relevantes necesarios en un paso de consulta dentro de un único bloque de caché, minimizando la demanda de ancho de banda de memoria. bvSFM consigue los mejores resultados cuando se ejecuta en sistemas multinúcleo que integran memoria de gran ancho de banda, por ejemplo un procesador Intel Xeon Phi (Knights Landing, o KNL).
Este repositorio está asociado al siguiente artículo: José Manuel Herruzo, Sonia González, Pablo Ibáñez, Víctor Viñals, Jesús Alastruey-Benedé, and Óscar Plata. Accelerating Sequence Alignments Based on FM-Index Using the Intel KNL Processor. IEEE/ACM Transactions on Computational Biology and Bioinformatics (TCBB). Volume: 17, Issue: 4, pp. 1093-1104, July/August 2020. Print ISSN: 1545-5963. Online ISSN: 1557-9964.

Actividad docente

Formación académica impartida

Máster Universitario en Ingeniería Informática, Escuela de Ingeniería y Arquitectura, UZ:

- Asignatura "62222 - Computación de Altas Prestaciones". Partes: vectorización y programación paralela de sistemas de memoria compartida. 18 horas. 8 cursos (desde 2014-15).
- Asignatura "62221 - Calidad en el desarrollo de software, servicios e infraestructuras TI". Parte de infraestructuras TI. 2 horas. 4 cursos (desde 2014-15 hasta 2017-18).

Máster Universitario en Ingeniería de Sistemas e Informática, Escuela de Ingeniería y Arquitectura, UZ:

- Programación Orientada a Prestaciones

Máster Universitario en Tecnologías Industriales, Escuela de Ingeniería y Arquitectura, UZ:

- Asignatura "60849 - Sistemas de Información en Organizaciones Industriales". Parte de Infraestructuras TI. 3 horas, curso 2016-17.

Grado Ingeniería Informática, Escuela de Ingeniería y Arquitectura, UZ:

- Redes de Computadores (desde 2018-19), Mulltiprocesadores (desde 2012-13), Garantía y Seguridad (desde 2013-14), Proyecto Hardware (desde 2013-14 hasta 2017-18), Procesadores Comerciales (desde 2014-15 hasta 2017-18), Centros de Datos (desde 2013-14 hasta 2017-18), Administración de Sistemas (2013-14).

Ingeniería Informática, Centro Politécnico Superior, UZ:

- Fundamentos de Computadores II, Arquitectura de Computadores, Sistemas de Transporte de Datos, Sistemas Operativos II, Fundamentos de Arquitecturas Paralelas, Servicios de Alto Nivel en Redes Informáticas

Ingeniería de Telecomunicación, Centro Politécnico Superior, UZ:

- Arquitectura de Computadores, Fundamentos de Computadores II

Ingeniería Industrial, Centro Politécnico Superior, UZ:

- Arquitectura de Computadores (optativa primer ciclo).

Doctorado en Ingeniería, mención Computación, Universidad Tecnológica Nacional, Facultad Regional Mendoza, Argentina:

- Curso 2021-22: impartición como docente visitante de la asignatura Centros de Datos (20 horas de las 50 totales del curso)

Dirección de trabajos fin de estudios

a) Trabajos Fin de Máster (dirección o ponencia)

2023 GenArchBench: Porting and Optimizing a Genomics Benchmark Suite to Arm-based HPC Processors
2021 Evaluation of genome alignment workflows on HPC processors
2020 Análisis Automatizado de la Movilidad Espermática en Zánganos
2014 Caracterización y optimización de algoritmos para imponer ligaduras en simulaciones de Dinámica Molecular en GROMACS
2012 Efficient instruction and data caching for high-performance low-power embedded systems

b) Proyectos Fin de Carrera (dirección o ponencia)

2017 Integración de servicios de la Administración General del Estado en una entidad local mediante una plataforma SOA
2017 Terminal Punto de Venta multi-site con radio-frecuencia, localización e inventario automático
2017 Implementación de una intranet corporativa para dispositivos móviles y desarrollo de una suite para la automatización de las pruebas funcionales
2016 Sistema de gestión comercial internacional distribuida móvil
2014 Sistemas de control y monitorización de user interfaces y electrónica de control de inducción bajo protocolo DBUS2
2014 Herramienta de monitorización para la Global Video Platform de Telefónica
2014 Estudio de una aplicación domótica para la gestión de una vivienda vía satélite
2013 Implementación e integración en GROMACS de un algoritmo eficiente y preciso para imponer ligaduras en simulaciones de dinámica molecular
2013 Sistema de control remoto para una cocina de inducción desde dispositivos Android
2013 Configuración de servicios de red de un dispositivo empotrado mediante una base de datos
2012 Diseño de un sistema de autogeneración de webs corporativas adaptadas a dispositivos móviles con soporte para códigos QR

2010 Análisis de Rendimiento y Optimización del Sistema de Calidad del Aire Caliope en un Entorno de Computación de Altas Prestaciones
2010 Desarrollo de una aplicación para los operadores de teleasistencia integrada en telefonía IP
2008 Integración de sistemas de monitorización avanzada de hardware en herramientas de gestión de red
2008 Desarrollo de la Consola e Interfaz de Usuario de un Terminal Push To Talk
2007 Estudio y configuración de un sistema Linux para el desarrollo de dispositivos de red de alto nivel
2007 Diseño, despliegue y mantenimiento de una granja de proxy caches empleando software libre
2007 SIRUZ – Sistema de Información de la Red de la Universidad de Zaragoza
2006 Mobile TV System
2005 SPIPE: Pasando protocolos seguros y no seguros a través de un servidor web de forma cifrada
2005 Sistema de Gestión e Inscripción de Actividades Juveniles
2004 Reducción del Tiempo de Convergencia del Protocolo de encaminamiento BGP4 mediante la técnica "Ghost Flushing"
2004 Web dinámica e-letrado.com
2004 Estudio e implementación de algoritmos de encaminamiento para una red móvil ad-hoc subterránea.
2004 GURUZ: Gestor Unificado de Red de la Universidad de Zaragoza
2003 Acceso remoto a una Intranet: Manipulación de recursos vía HTTP
2003 Analizador de protocolos para una central de conmutación telefónica Lucent EXS
2002 SACRO. Sistema Avanzado de Comunicaciones entre usuarios en Redes de Ordenadores
2002 Estudio de un ARVA (aparato para la recuperación de víctimas de avalancha) y desarrollo de un prototipo emisor

c) Trabajos Fin de Grado (dirección o ponencia)

2020 Método Paralelo para la Resolución de Ecuaciones de Ligadura para Moléculas Lineales con Ramificaciones Laterales Idénticas. Tercer clasificado en la “I Edición de los Premios TFG de Ingeniería Informática” organizada por el Colegio Profesional de Ingenieros Técnicos en Informática de Aragón.
2019 Implementación e integración en OpenCASA de módulos para estudios de acumulación y recuento celular
2018 Método Paralelo de Resolución de Ecuaciones de Ligadura para Moléculas Lineales
2014 Software para control gestual y por voz de imágenes médicas durante la cirugía

d) Proyectos de Innovación docente

2019-20 “Comunidad de aprendizaje para compartir la aplicación de cuestionarios en Moodle que fomenten el trabajo continuo del estudiante y la mejora de la docencia (PIIDUZ_19_045)”. Convocatoria Programa de Incentivación de la Innovación Docente en la Universidad de Zaragoza. PIIDUZ_1, curso 2019-20.
2018-19 “Cómo conseguir un aprendizaje continuo y profundo utilizando la plataforma Moodle: cuestionarios y actividades de aprendizaje significativo (PIIDUZ_18_094)”. Convocatoria Programa de Incentivación de la Innovación Docente en la Universidad de Zaragoza. PIIDUZ_1, curso 2018-19.
Desde el curso 2004-2005 soy miembro de un grupo de innovación docente reconocido por el Instituto de Ciencias de la Educación de la Universidad de Zaragoza (ICE). La actividad desarrollada en el ámbito de dicho grupo se detalla a continuación.
2008-09 “Materia troncal Redes en Ingeniería Informática III”. Dotación: 500 €. Convocatoria Programa de Incentivación de la Innovación Docente en la Universidad de Zaragoza. PIIDUZ-2008-2.
2007-08 “Materia troncal Redes en Ingeniería Informática II”. Dotación: 2.500 €. Convocatoria Plan para la Incentivación de la innovación docente para la adaptación de las titulaciones de la Universidad de Zaragoza al Espacio Europeo de Educación Superior PIIDUZ-2007 B1: Diseño de Proyectos de Innovación departamentales o interdepartamentales, 2007.
2006-07 “Materia troncal Redes en Ingeniería Informática”. Dotación: 3.000 €. Convocatoria Plan para la Incentivación de la innovación docente para la adaptación de las titulaciones de la Universidad de Zaragoza al Espacio Europeo de Educación Superior PIIDUZ-2006 B2: Diseño de Proyectos de Innovación departamentales o interdepartamentales, 2006.
2005-06 Participación en 2 proyectos de innovación docente para la adaptación de las universidades públicas españolas y sus planes de estudio al Espacio Europeo de Educación Superior (EEES). Aprobado mediante resolución BOE 18/08/2005 y financiado por el MEC.
2004-05 Participación en 3 proyectos de innovación docente financiados por el Vicerrectorado de Ordenación Académica, ICE, Universidad de Zaragoza.

- "Mejora e innovación de la docencia práctica de "Fundamentos de Arquitecturas Paralelas" en Ingeniería Informática". Dotación: 400 €. Coordinador del proyecto.
- "Sistemas Operativos I en Ingeniería Informática". Dotación: 400 €. Colaborador del proyecto.
- "Simulador de procesadores virtuales para docencia". Dotación: 300 €. Colaborador del proyecto.

e) Asistencia a congresossobre innovación docente

- Congreso Universitario Internacional sobre Contenidos, Investigación, Innovación y Docencia, CUICIID 2019

f) Tribunales de Trabajos Fin de Grado (TFGs), Proyectos Fin de Carrera (PFCs) y Trabajos Fin de Master (TFMs)

2022-23 Miembro suplente de Tribunal evaluador de TFGs. Grado en Ingeniería Informática. Escuela de Ingeniería y Arquitectura, UZ.
2019-20 Miembro de Tribunal evaluador de TFGs. Grado en Ingeniería Informática. Escuela de Ingeniería y Arquitectura, UZ.
2016-17 Presidente de Tribunal evaluador de TFGs. Grado en Ingeniería Informática. Escuela de Ingeniería y Arquitectura, UZ.
2015-16 Miembro de Tribunal evaluador de TFMs. Máster Universitario en Ingeniería de Sistemas e Informática. Escuela de Ingeniería y Arquitectura. UZ.
2014-15 Miembro de Tribunal evaluador de TFMs. Máster Universitario en Ingeniería de Sistemas e Informática. Escuela de Ingeniería y Arquitectura. UZ.
2012-13 Miembro de Tribunal evaluador de PFC de Ingeniería Informática. Escuela de Ingeniería y Arquitectura. UZ.
2008-09 Presidente de Tribunal evaluador de PFC de Ingeniería Informática. Centro Politécnico Superior. UZ.
2004-05 Miembro de Tribunal evaluador de PFC de Ingeniería Informática. Centro Politécnico Superior, UZ.
2000-01 Secretario de Tribunal evaluador de PFCs de la titulación Ingeniero en Telecomunicación, especialidad Telemática. Centro Politécnico Superior de la Universidad de Zaragoza.
1999-2000 Curso de Aptitud Pedagógica (CAP) por la Universidad de Zaragoza

g) Tutor académico de prácticas universitarias en Empresa

- 2018 Víctor Delgado Alejandre. Hiberus Sistemas Informáticos
- 2017 Guillermo Robles González. BIFI
- 2016 César Herrera Velarte. Everis Aragón
- 2014 Jaime Bergua Orero. Pariver
- 2013 Víctor Lasaosa. TAP Consulting
- 2013 Víctor Morate Villagrasa. Telefónica I+D
- 2012 David Iruzubieta Blanco. Sensing & Control Systems
- 2012 Carlos Lare Pérez. Track Globe
- 2011 Jorge Bobed Lisbona. Siokia
- 2010 Pablo Gómez Duro. Diaple Networking
- 2010 Laura Lacarra Arcos. Diaple Networking
- 2008 Alberto Bielsa Noveleta. CAI
- 2008 Jenifer Murillo Royo. Endesa
- 2007 Rafael Ramos Guallar. Ingeniería Tecnológica de Aragón
- 2007 Raúl Sierra Gracia. Supervía Internix
- 2006 Clara Barquin Uruñuela. Arsys Internet
- 2006 Jorge Alastuey Elpuente. General Motors España
- 2005 Diego Aguilar Herrero. Zaragoza Logistic Center
- 2005 Rubén Laplaza Mené. Grupo SAMCA
- 2005 Arturo Giner Gracia. Zaragoza Logistic Center
- Rubén Ortega Santa Bárbara. Zaragoza Logistic Center
- Aránzazu Cortés Cameros. Telnet
- Gustavo Aller Egea. TB-Solutions
- Raquel Arriaga Rayo. Banco Zaragozano
- Jorge Bellé Ibáñez. General Motors España
- María José Pérez Pérez. Instituto Aragonés de la Juventud
- Francisco Tello Ferrer. ATCA
- Julio Usieto García. CIDER Prepirineo

h) Evaluación de la actividad docente

Valoración realizada por la Comisión de Control y Evaluación de la Docencia del Centro Politécnico Superior (hasta el 15 de abril de 2011) y de la Escuela de Ingeniería y Arquitectura de la Universidad de Zaragoza (hasta la actualidad), siguiendo los criterios de evaluación de la actividad docente del profesorado de la Universidad de Zaragoza (a partir del curso 2006-07, y según acuerdo del Consejo de Gobierno de la Universidad de Zaragoza de 4 de octubre de 2006, se participa y utiliza la metodología del programa DOCENTIA).

- 2001-02: Positiva
- 2002-03: Positiva destacada
- 2003-04: Positiva
- 2004-05: Positiva destacada

- 2005-06: Positiva destacada
- 2006-07: Positiva
- 2007-08 hasta 2021-22: Positiva destacada

Nota: positiva destacada es la mejor valoración posible.

Otros méritos o aclaraciones que se desee hacer constar

a) Reconocimiento de la actividad docente e investigadora

Evaluación de la actividad docente "positiva destacada" en los últimos 15 cursos académicos (desde 2007-08 hasta 2021-22)

2023 Evaluación positiva de sexenio de actividad investigadora por parte del CNEAI.

2020 Evaluación positiva de sexenio de actividad investigadora por parte de la ACPUA, Agencia de Calidad y Prospectiva de Aragón.

2019 Evaluación positiva de sexenio de actividad investigadora por parte del CNEAI.

2019 Evaluación positiva para la figura de Profesor Contratado Doctor por parte de la ANECA

2010 Evaluación positiva de sexenio de actividad investigadora por parte de la ACPUA, Agencia de Calidad y Prospectiva de Aragón.

2008 Evaluaciones favorables de los complementos de docencia y dedicación 2008. Resolución de 22 de Abril de 2008, Convocatoria BOA de 12 de Mayo de 2008. Valoración efectuada por el Consejo de Dirección de la Universidad de Zaragoza.

2006 Evaluación positiva del "Complemento de Mejora a la Docencia", con la puntuación 1.9 sobre un máximo de 2.0. Convocatoria BOA de 21 de Julio de 2006. Valoración efectuada por la ACPUA, Agencia de Calidad y Prospectiva de Aragón.

2006 Evaluación positiva para la figura de Profesor Colaborador por parte de la ANECA

b) Revisiones de trabajos para revistas y congresos

- Miembro del Comité de Revisión en el International Conference on Supercomputing (ICS 2023)
- Miembro del Comité de Programa en la final del ACM SRC 2022 (ACM Student Research Competition)
- Miembro del Comité de Programa en la final del ACM SRC 2021 (ACM Student Research Competition)
- Evaluador Journal of Parallel and Distributed Computing (JPDC): 3 revisiones desde 2018.
- Evaluador Revista PLOS-ONE: Febrero 2018
- Evaluador en el 11th International Conference on Embedded Software and System (ICESS 2014)
- Evaluador en el 10th International Conference on Embedded Software and System (ICESS 2013)
- Evaluador en el 9th International Conference on Embedded Software and System (ICESS 2012)
- Evaluador en el 8th International Conference on Embedded Software and System (ICESS 2011)
- Evaluador en el 7th International Conference on Embedded Software and System (ICESS 2010) http://dx.doi.org/10.1109/CIT.2010.29
- Evaluador en el 24th IEEE International Parallel and Distributed Processing Symposium (IPDPS 2010)
- Evaluador en el 36th Annual International Symposium on Computer Architecture (ISCA 2009)
- Evaluador en el 6th International Conference on Embedded Software and System (ICESS 2009)
- Evaluador en el 14th International Europar Conference (EUROPAR 2008)

c) Asistencia a Cursos, Congresos y Reuniones Científicas

- Jornadas de Paralelismo (JJPAR) de los años 2001, 2002, 2004, 2007, 2009, 2010, 2011, 2014, 2015, 2017, 2018.
- 16th International Summer School on Advanced Computer Architecture and Compilation for High-performance Embedded Systems (ACACES 2020). Evento remoto debido a la pandemia por COVID-19. 3 cursos de 6 horas:
  - Working with RISC-V: from open ISA to open Architecture to open Hardware, impartido por Luca Benini y Frank K. Gürkaynak
  - Software-level Attacks on Architectural and Microarchitectural State, impartido por James Mickens.
  - Whole Systems Energy Transparency: More /power/ to software developers!, impartido por Kerstin Eder.
- International Workshop EU-China on Scientific Computing, Zaragoza, November 26-28, 2012.
- RES Scientific Seminar of Parallel Simulations, Zaragoza, November 30, 2010.
- Introducción al entorno CADENCE DFII para Modelado, Simulación y Verificación de Sistemas y Circuitos Microelectrónicos, Centro Nacional de Microelectrónica (Barcelona), Junio de 2009 (30 horas).
- First Summer School on Advanced Computer Architecture and Compilation for Embedded Systems (ACACES-05). L'Aquila, Italia, Julio 2005 (4 seminarios de 10 horas).
- X International Symposium on High-Performance Computer Architecture (HPCA-10), Madrid, Febrero 2004.
- Seminario: "Arquitecturas de Alto Rendimiento. Interconexión y Comunicación", impartido por el Dr. Ramón Beivide (Universidad de Cantabria), 2002.

- Seminario: "Procesadores del Futuro", impartido por el Dr. Mateo Valero (Universidad Politécnica de Cataluña), 2002.

d) Presencia en Tribunales de Evaluación de Tesis Doctorales

- "Filtering directory lookups in CMPs". Ana Bosque Arbiol.Universidad de Zaragoza. Zaragoza, Noviembre 2011.

e) Actividades académicas

2023-.. Representante de PDI en la Junta de Escuela de la EINA (elegido en votación celebrada el 29/05/2023)
2022-23 Representante de PDI en la Comisión de Garantía de la Calidad de los Másteres de la EINA (elegido en Junta de Centro de 26/10/2012)
2021-22, 2022-23 Vocal de la comisión de selección de plazas de ayudantes, ayudantes doctores y profesores asociados del área de Arquitectura y Tecnología de Computadores (ATC)
2021 Secretario de la comisión de selección para una plaza de profesor contratado doctor en el área de Arquitectura y Tecnología de Computadores (ATC), Departamento de Informática e Ingeniería de Sistemas de la Universidad de Zaragoza
2019-20 Vocal de la comisión de selección de plazas de ayudantes, ayudantes doctores y profesores asociados del área de Arquitectura y Tecnología de Computadores (ATC)
2018 Profesor perteneciente al cuerpo académico en la solicitud de acreditación de la carrera de Doctorado en Ingeniería, mención Computación, ante la Comisión Nacional de Evaluación y Acreditación Universitaria de Argentina (CONEAU Global). Institución universitaria: Universidad Tecnológica Nacional. Unidad académica: Facultad Regional Mendoza
2014-15 Secretario de la comisión de selección de plazas de ayudantes, ayudantes doctores y profesores asociados del área de Arquitectura y Tecnología de Computadores (ATC)
2013-15 Coordinador del área de Arquitectura y Tecnología de Computadores (ATC)
2013-15 Miembro de la Comisión Docente (Comisión Permanente del Consejo de Departamento) del Departamento de Informática e Ingeniería de Sistemas
2013-16 Miembro de la Comisión Académica del Programa de Doctorado Ingeniería de Sistemas e Informática
2012-16 Secretario de la Comisión Académica del Máster en Ingeniería de Sistemas e Informática (representante de los profesores elegido en Junta de Centro de 26/10/2012)
2012 Miembro de la Comisión encargada de elaborar la memoria de verificación del Programa de Doctorado Ingeniería de Sistemas e Informática
2011-16 Miembro de la Comisión de Investigación (Comisión Permanente del Consejo de Departamento) del Departamento de Informática e Ingeniería de Sistemas.
2011-12 Secretario de la Comisión del Programa Oficial del Postgrado en Ingeniería Informática
2011-12 Miembro de la Comisión encargada de elaborar la memoria de verificación del Máster Universitario en Investigación en Ingeniería de Sistemas e Informática
2009-17 Miembro de la Comisión Académica de la Titulación Ingeniería de Telecomunicación
2008-... Miembro electo del Consejo de Departamento de Informática e Ingeniería de Sistemas

f) Méritos colectivos

- El Programa Oficial de Doctorado en "Ingeniería de Sistemas e Informática" del Departamento de Informática e Ingeniería de Sistemas (referencia MEE2011-0004) ha recibido la Mención hacia la Excelencia a los programas de doctorado de las universidades españolas según RD1393/2007, para los cursos 2011/12, 2012/13 y 2013/14. Resolución de 6 de octubre de 2011, de la Secretaría General deUniversidades, publicado en el BOE de 20 de octubre de 2011. Este es el programa de doctorado en el que colaboramos los profesores doctores del gaZ y en el que nuestros doctorandos se forman. Pensamos que tanto el currículum investigador como las propuestas docentes de nuestro grupo han contribuido, en alguna medida, a la obtención de tal Mención de Calidad.
- Ingreso de nuestro grupo de investigación en arquitectura de computadores (gaZ) en el Instituto de Investigación en Ingeniería de Aragón (i3A, http:/i3a.unizar.es) a fecha 30 de Junio de 2005.

g) Miscelánea

- Registro de la Propiedad Intelectual: RPI Z-3457. "Aplicación Informática para el Cálculo de Parámetros Geométricos de Fibras Ópticas"
- Miembro del Instituto de Ingeniería de Aragón (I3A, http:/i3a.unizar.es) de la Universidad de Zaragoza desde 2009
- Miembro de la Sociedad de Arquitectura y Tecnología de Computadores (SARTECO)
- Miembro afiliado a la red europea de excelencia HiPEAC: https://www.hipeac.net/~chus/
- Miembro de IEEE (2006-2012)