

## Resumen

Los multiprocesadores multihilo en chip (CMP / MT) representan el modelo más extendido en los procesadores actuales. Están orientados principalmente a explotar el paralelismo a nivel de tarea (TLP) ante los límites alcanzados en la explotación del paralelismo a nivel de instrucción (ILP). Uno de los proyectos más importantes es Niagara (K. Olukotun, Stanford Univ.), adquirido por Sun Microsystems y convertido en el producto UltraSPARC T1. Su siguiente versión se denomina UltraSPARC T2, fue lanzada al mercado a finales de 2007, y trata de aunar las mejoras en la productividad total (permitiendo hasta 64 hilos trabajando en paralelo) con un tiempo de ejecución razonable para cada proceso independiente. Con todo, la latencia de acceso a memoria principal continúa siendo uno de los principales factores limitantes del rendimiento de este tipo de microprocesadores. Las técnicas de prebúsqueda hardware de datos se cuentan entre las más efectivas al afrontar este problema, sin embargo apenas han comenzado a aplicarse a organizaciones CMP /MT. Uno de los motivos es que la simulación de estos sistemas es muy compleja.

El objetivo de este proyecto es el proponer y evaluar mecanismos de prebúsqueda hardware de datos de bajo coste y complejidad dentro de los niveles superiores de la jerarquía de memoria de la T2 como método de investigación de las mejoras reales que se puedan obtener mediante estas técnicas en un procesador multinúcleo actual. SESC es uno de los simuladores utilizados actualmente para estos entornos, y merced a la colaboración del gaZ (UZ) con el MASC (UCSC), se ha tomado en este proyecto como plataforma de trabajo. Se ha creado una carga de propósito general que presiona memoria, y se han llevado a cabo unos experimentos preliminares para obtener las primeras conclusiones y orientar ulteriores desarrollos que han resultado coherentes con los conocimientos previos. Para ello ha sido necesario el diseño y simulación de componentes específicos, como el procesador, el crossbar y los bancos de L2. Se ha llevado a cabo una experimentación preliminar incorporando un prebuscador secuencial marcado en cada uno de los controladores del segundo nivel de memoria cache el procesador, donde cada controlador gestiona dos bancos de cache. Se han probado diferentes alternativas de grado y distancia. Las principales conclusiones de esta parte experimental son las siguientes: En primer lugar, al tratarse de cargas de trabajo multihilo, las muy diferentes características de las aplicaciones agrupadas bajo cada carga de trabajo provocan rendimientos muy dispares. En segundo lugar, en este tipo de organizaciones y con este tipo de cargas (no paralelizadas o no paralelizables) puede ser imprescindible la incorporación de mecanismos de prebúsqueda adaptativos. Finalmente, es preciso encontrar benchmarks que presionen más sobre las caches de segundo nivel a fin de obtener resultados más significativos.